






SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

Patent number: JP2004214607
Publication date: 2004-07-29
Inventor: MITSUDA KATSUHIRO; HONDA MITSU HARU; IIZUKA AKIRA
Applicant: RENESAS TECH CORP
Classification:
- international: *H01L21/28; H01L21/265; H01L21/266; H01L21/306; H01L21/324; H01L21/336; H01L21/8238; H01L21/8242; H01L27/092; H01L27/108; H01L29/78; H01L21/02; H01L21/70; H01L27/085; H01L27/108; H01L29/66; (IPC1-7): H01L29/78; H01L21/265; H01L21/266; H01L21/28; H01L21/336; H01L21/8238; H01L21/8242; H01L27/092; H01L27/108*
- european: H01L21/265A; H01L21/265A2; H01L21/306N4; H01L21/324; H01L21/8238D; H01L21/8238G2
Application number: JP20030306388 20030829
Priority number(s): JP20030306388 20030829; JP20020368298 20021219

Also published as:

 US7384834 (B2)
 US7087474 (B2)
 US2006199323 (A1)
 US2004132249 (A1)
 KR20040054556 (A)

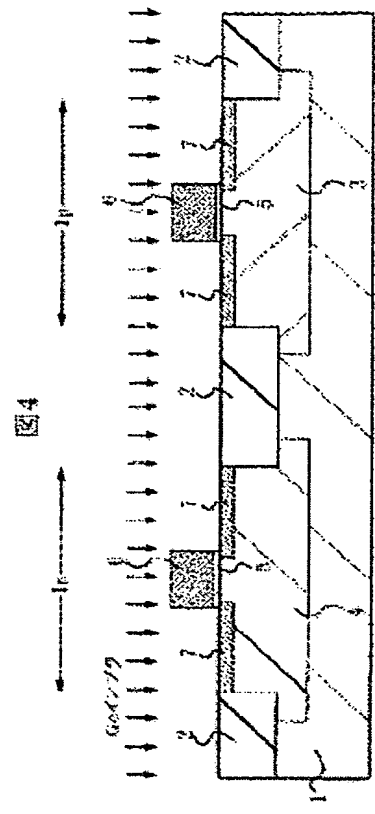
more >>

Report a data error here**Abstract of JP2004214607**

PROBLEM TO BE SOLVED: To enhance the current driving capability of field-effect transistors.

SOLUTION: A method of manufacturing a semiconductor device having a field-effect transistor contains a step of ion-implanting a group IV element from the main surface of a silicon layer, which is a semiconductor substrate, into its inside to a depth shallower than the ion-implanted depth of an impurity in a subsequent step of forming semiconductor regions, wherein the subsequent step of ion-implanting the impurity from the main surface of the silicon layer into its inside is utilized to form the semiconductor regions so as to be aligned with a gate electrode.

COPYRIGHT: (C)2004,JPO&NCIPI



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-214607

(P2004-214607A)

(43) 公開日 平成16年7月29日(2004.7.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/78	H O 1 L 29/78 3 O 1 S	4 M 1 O 4
H O 1 L 21/265	H O 1 L 21/265 6 O 4 G	5 F O 4 8
H O 1 L 21/266	H O 1 L 21/28 A	5 F O 8 3
H O 1 L 21/28	H O 1 L 29/78 3 O 1 P	5 F 1 4 O
H O 1 L 21/336	H O 1 L 27/10 6 7 1 Z	
審査請求 未請求 請求項の数 32 O L (全 49 頁) 最終頁に続く		

(21) 出願番号 特願2003-306388 (P2003-306388)
 (22) 出願日 平成15年8月29日(2003.8.29)
 (31) 優先権主張番号 特願2002-368298 (P2002-368298)
 (32) 優先日 平成14年12月19日(2002.12.19)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (72) 発明者 満田 勝弘
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 (72) 発明者 本多 光晴
 東京都青梅市新町六丁目16番地の3 株
 式会社日立製作所デバイス開発センタ内
 (72) 発明者 飯塚 朗
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

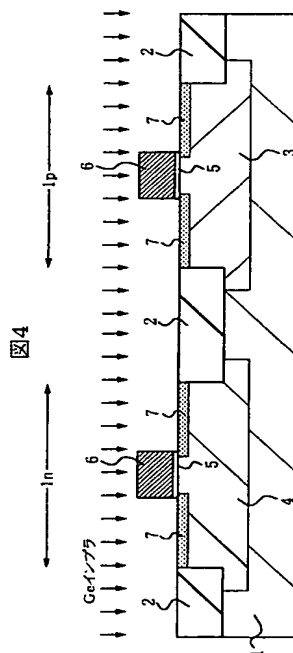
(57) 【要約】

【課題】 電界効果トランジスタの電流駆動能力の向上
 (ドレイン電流の増加)を図る。

【解決手段】 電界効果トランジスタを有する半導体装
 置の製造方法であって、

半導体基板であるシリコン層の主面からその内部に不
 純物をイオン注入してゲート電極に整合した半導体領域
 を形成する工程の前に、前記シリコン層の主面からその
 内部にIV族元素を、前記半導体領域の形成工程における
 不純物の注入深さよりも浅くイオン注入する工程を有す
 る。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

電界効果トランジスタを有する半導体装置の製造方法であって、
半導体基板の主面上にゲート絶縁膜を介在してゲート電極を形成する工程と、
前記半導体基板の主面からその内部に第 1 の不純物をイオン注入して前記ゲート電極に整合した第 1 の半導体領域を形成する工程とを有し、
更に、前記ゲート電極の形成工程の後に、前記半導体基板の主面からその内部に IV 族元素を、前記第 1 の半導体領域の形成工程における不純物の注入深さよりも浅くイオン注入する工程を有することを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、
前記 IV 族元素をイオン注入する工程は、前記半導体基板の主面からの深さが前記第 1 の半導体領域よりも浅い非晶質層を形成する工程であることを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 1 に記載の半導体装置の製造方法において、
前記 IV 族元素注入工程後、且つ、前記第 1 の半導体領域の形成工程の後に、前記第 1 の半導体領域の形成工程においてイオン注入された第 1 の不純物を熱処理によって活性化させる工程を更に有することを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 に記載の半導体装置の製造方法において、
前記 IV 族元素は、Ge イオンであることを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 に記載の半導体装置の製造方法において、
更に、前記第 1 の半導体領域形成後に、前記ゲート電極の側壁にサイドウォールスペーサを形成する工程と、
前記半導体基板の主面に第 2 の不純物をイオン注入して前記サイドウォールスペーサに整合した第 2 の半導体領域を形成する工程とを有し、
前記 IV 族元素のイオン注入は、前記第 2 の半導体領域形成工程における第 2 の不純物の注入深さよりも浅く行うことを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 5 に記載の半導体装置の製造方法において、
更に、前記第 1 の半導体領域形成工程後に、第 1 の熱処理を行う工程と、
前記第 2 の半導体領域形成工程後に、第 2 の熱処理を行う工程と、
を有し、
前記第 2 の熱処理は、前記第 1 の熱処理よりも高温短時間で行われることを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 5 に記載の半導体装置の製造方法において、
更に、前記第 2 の半導体領域形成工程後にレーザーアニールを行う工程を有し、
前記第 1 の半導体領域に注入される第 1 の不純物は、ボロンであることを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 5 に記載の半導体装置の製造方法において、
前記第 2 の半導体領域形成後に、イオン注入された第 1 及び第 2 の不純物を熱処理によって活性化させる工程を更に有することを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 5 に記載の半導体装置の製造方法において、
前記第 2 の半導体領域上に高融点金属膜を形成し、その後、前記第 2 の半導体領域のシリコンと前記高融点金属膜の金属とを反応させる熱処理を施して、前記第 2 の半導体領域

10

20

30

40

50

上に金属・半導体反応層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 9 に記載の半導体装置の製造方法において、

前記サイドウォールスペーサの形成工程の後であって、前記高融点金属膜の形成工程の前に、前記半導体基板の主面からその内部に第 2 の IV 族元素をイオン注入する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 11】

半導体基板の主面の第 1 の領域に形成された n チャネル導電型電界効果トランジスタと、前記半導体基板の主面の第 1 の領域と異なる第 2 の領域に形成された p チャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

10

前記第 1 の領域上にゲート絶縁膜を介在して第 1 のゲート電極、並びに前記第 2 の領域上に前記ゲート絶縁膜を介在して第 2 のゲート電極を形成する工程と、

前記第 2 の領域を選択的にマスクした状態で、前記第 1 の領域に第 1 の不純物をイオン注入して、前記第 1 のゲート電極に整合した第 1 の半導体領域を形成する工程と、

前記第 1 の領域を選択的にマスクした状態で、前記第 2 の領域に第 2 の不純物をイオン注入して、前記第 2 のゲート電極に整合した第 2 の半導体領域を形成する工程と、

前記第 1 及び第 2 のゲート電極の側壁に夫々サイドウォールスペーサを形成する工程と

、
前記第 2 の領域を選択的にマスクした状態で、前記第 1 の領域に第 3 の不純物をイオン注入して、前記第 1 の半導体領域と同一導電型であって、前記第 1 のゲート電極の側壁のサイドウォールスペーサに整合した第 3 の半導体領域を形成する工程と、

20

前記第 1 の領域を選択的にマスクした状態で、前記第 2 の領域に第 4 の不純物をイオン注入して、前記第 2 の半導体領域と同一導電型であって、前記第 2 のゲート電極の側壁のサイドウォールスペーサに整合した第 4 の半導体領域を形成する工程とを有し、

更に、前記第 1 及び第 2 のゲート電極の形成工程の後に、前記第 1 及び第 2 の領域に IV 族元素を、前記第 1 及び第 2 の半導体領域の形成工程における夫々の不純物の注入深さよりも浅くイオン注入する工程を有することを特徴とする半導体装置の製造方法。

【請求項 12】

半導体基板の主面の第 1 の領域に形成された n チャネル導電型電界効果トランジスタと、前記第 1 の領域と異なる第 2 の領域に形成された p チャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

30

前記第 1 の領域上にゲート絶縁膜を介在して第 1 のゲート電極、並びに前記第 2 の領域上にゲート絶縁膜を介在して第 2 のゲート電極を形成する工程と、

前記第 2 の領域を第 1 のマスクで選択的に覆った状態で、前記第 1 の領域に第 1 の不純物をイオン注入して、前記第 1 のゲート電極に整合した第 1 の半導体領域を形成する工程と、

前記第 1 の領域を第 2 のマスクで選択的に覆った状態で、前記第 2 の領域に第 2 の不純物をイオン注入して、前記第 2 のゲート電極に整合した第 2 の半導体領域を形成する工程と、

40

前記第 1 及び第 2 のゲート電極の側壁に夫々サイドウォールスペーサを形成する工程と

、
前記第 2 の領域を選択的にマスクした状態で、前記第 1 の領域に第 3 の不純物をイオン注入して、前記第 1 の半導体領域と同一導電型であって、前記第 1 のゲート電極の側壁のサイドウォールスペーサに整合した第 3 の半導体領域を形成する工程と、

前記第 1 の領域を選択的にマスクした状態で、前記第 2 の領域に第 4 の不純物をイオン注入して、前記第 2 の半導体領域と同一導電型であって、前記第 2 のゲート電極の側壁のサイドウォールスペーサに整合した第 4 の半導体領域を形成する工程とを有し、

更に、前記第 1 の不純物をイオン注入する前に、前記第 2 の領域を前記第 1 のマスクで選択的に覆った状態で、前記第 1 の領域に IV 族元素を、前記第 1 の不純物の注入深さより

50

も浅くイオン注入する工程と、

前記第2の不純物をイオン注入する前に、前記第1の領域を前記第2のマスクで選択的に覆った状態で、前記第2の領域にIV族元素を、前記第2の不純物の注入深さよりも浅くイオン注入する工程とを有することを特徴とする半導体装置の製造方法。

【請求項13】

半導体基板の主面の第1の領域に形成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の主面の第1の領域と異なる第2の領域に形成されたpチャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

前記第1の領域上に形成された第1のゲート電極、並びに前記第2の領域上に形成された第2のゲート電極を覆うようにして、応力を持つ絶縁膜を形成する工程と、

前記絶縁膜に異方性エッチングを施して、前記第1のゲート電極の側壁に第1のサイドウォールスペーサ、前記第2のゲート電極の側壁に第2のサイドウォールスペーサを形成する工程と、

前記第1の領域をマスクした状態で、前記第2の領域にIV族元素をイオン注入して、前記第2のサイドウォールスペーサの結晶性を破壊する工程とを有することを特徴とする半導体装置の製造方法。

【請求項14】

請求項13に記載の半導体装置の製造方法において、

前記絶縁膜の持つ応力は引っ張り応力であり、前記IV族元素をイオン注入する工程後に、前記第1のサイドウォールスペーサの有する引っ張り応力の大きさは前記第2のサイドウォールスペーサの有する引っ張り応力の大きさよりも大きいことを特徴とした半導体装置の製造方法。

【請求項15】

請求項13に記載の半導体装置の製造方法において、

前記絶縁膜の持つ応力は圧縮応力であり、前記IV族元素をイオン注入する工程後に、前記第1のサイドウォールスペーサの有する圧縮応力の大きさは前記第2のサイドウォールスペーサの有する圧縮応力の大きさよりも大きいことを特徴とした半導体装置の製造方法。

【請求項16】

請求項13に記載の半導体装置の製造方法において、

前記第1及び第2のサイドウォールスペーサの形成工程の後に、前記第1の領域をマスクで覆った状態で、前記第2の領域に不純物をイオン注入して、前記第2のサイドウォールスペーサに整合した半導体領域を形成する工程を更に有し、

前記IV族元素をイオン注入する工程は、前記マスクを用いて行うことを特徴とする半導体装置の製造方法。

【請求項17】

請求項16に記載の半導体装置の製造方法において、

前記IV族元素のイオン注入工程は、前記不純物のイオン注入工程の前に行うことを特徴とする半導体装置の製造方法。

【請求項18】

電界効果トランジスタを有する半導体装置の製造方法であって、

半導体基板の主面上に半導体膜を形成する工程と、

前記半導体膜に、抵抗値を低減する不純物をイオン注入する工程と、

前記半導体膜をパターンニングしてゲート電極を形成する工程とを有し、

更に、前記半導体膜に、この半導体膜と同族の元素をイオン注入する工程を有することを特徴とする半導体装置の製造方法。

【請求項19】

請求項18に記載の半導体装置の製造方法において、

更に、前記不純物をイオン注入する工程の後に、前記不純物を熱処理によって活性化させる工程を有し、

10

20

30

40

50

前記半導体膜と同族の元素をイオン注入する工程は、前記不純物を熱処理によって活性化させる工程の前に実施することを特徴とする半導体装置の製造方法。

【請求項 20】

請求項 18 に記載の半導体装置の製造方法において、

更に、前記不純物をイオン注入する工程の後に、前記不純物を熱処理によって活性化させる工程を有し、

前記半導体膜と同族の元素をイオン注入する工程は、前記不純物をイオン注入する工程の前に実施することを特徴とする半導体装置の製造方法。

【請求項 21】

請求項 18 に記載の半導体装置の製造方法において、

前記半導体膜はシリコンであり、前記元素は Ge イオンであることを特徴とする半導体装置の製造方法。

【請求項 22】

請求項 18 に記載の半導体装置の製造方法において、

更に、前記半導体基板の主面の前記ゲート電極に整合した領域に、前記元素をイオン注入する工程と、

前記ゲート電極に整合した領域に不純物をイオン注入する工程と、

を有し、

前記半導体膜にイオン注入する時の前記元素の加速エネルギーは、前記ゲート電極に整合した領域にイオン注入する時の前記元素の加速エネルギーよりも大きいことを特徴とする半導体装置の製造方法。

【請求項 23】

請求項 18 に記載の半導体装置の製造方法において、

更に、前記半導体基板の主面の前記ゲート電極に整合した領域に、前記元素をイオン注入する工程と、

前記ゲート電極に整合した領域に不純物をイオン注入する工程と、

を有し、

前記半導体膜にイオン注入する時の前記元素のドーズ量は、前記ゲート電極に整合した領域にイオン注入する時の前記元素のドーズ量よりも大きいことを特徴とする半導体装置の製造方法。

【請求項 24】

半導体基板の主面の第 1 の領域に形成された n チャネル導電型電界効果トランジスタと、前記第 1 の領域と異なる第 2 の領域に形成された p チャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

前記半導体基板の主面の第 1 及び第 2 の領域上に半導体膜を形成する工程と、

前記半導体膜に抵抗値を低減する不純物をイオン注入する工程と、

前記半導体膜をパターンニングして、前記半導体基板の主面の第 1 及び第 2 の領域に夫々ゲート電極を形成する工程と、

前記純物を熱処理によって活性化させる工程とを有し、

更に、前記半導体膜を形成する工程の後であって、前記不純物を熱処理によって活性化させる工程の前に、前記半導体膜に、この半導体膜と同族の元素をイオン注入する工程を有することを特徴とする半導体装置の製造方法。

【請求項 25】

電界効果トランジスタを有する半導体装置の製造方法であって、

半導体基板の主面上にゲート絶縁膜を介在してゲート電極を形成する工程と、

前記半導体基板の主面からその内部に不純物をイオン注入して前記ゲート電極に整合した半導体領域を形成する工程と、

前記ゲート電極の形成工程の後に、前記半導体基板の主面からその内部に前記半導体基板と同族の元素を、前記第 1 の半導体領域の形成工程における不純物の注入深さよりも浅くイオン注入する工程と、

10

20

30

40

前記同族の元素をイオン注入する工程、及び前記半導体領域を形成する工程の後に、前記半導体基板に洗浄を施す工程とを有し、

前記洗浄工程は、硫酸加水、希フッ酸及び塩酸加水を用いて行うことを特徴とする半導体装置の製造方法。

【請求項 26】

請求項 25 に記載の半導体装置の製造方法において、

更に、前記同族の元素をイオン注入する工程、及び前記半導体領域を形成する工程の後に、前記半導体領域の形成工程においてイオン注入された不純物を熱処理によって活性化させる工程を有し、

前記洗浄工程は、前記不純物を熱処理によって活性化させる工程の後に実施することを特徴とする半導体装置の製造方法。 10

【請求項 27】

(a) 半導体基板に溝を形成する工程、

(b) 前記溝内を埋めるように、前記半導体基板上に絶縁膜を堆積する工程、

(c) 前記溝内に絶縁膜を残すように、前記半導体基板を平坦化する工程、

(d) 前記 (c) 工程後に、前記半導体基板表面を洗浄する工程、

(e) 前記半導体基板上にゲート絶縁膜を形成する工程、

(f) 前記ゲート絶縁膜上にゲート電極を形成する工程、

(g) 前記半導体基板に IV 族元素を注入する工程、

(h) 前記半導体基板に不純物を注入する工程、 20

(i) 前記 (g) および (h) 工程後に、前記半導体基板表面を洗浄する工程、
を有し、

前記 (i) 工程の洗浄は、前記 (d) 工程の洗浄よりもアンモニアの濃度が薄い洗浄液で行うことを特徴とする半導体装置の製造方法。

【請求項 28】

請求項 27 に記載の半導体装置の製造方法において、

前記 (i) 工程の洗浄は、硫酸加水、希フッ酸及び塩酸加水を用いた洗浄液で行うことを特徴とする半導体装置の製造方法。

【請求項 29】

請求項 27 に記載の半導体装置の製造方法において、 30

前記 IV 族元素はゲルマニウムであり、前記不純物はボロン、2 フッ化ボロンまたは砒素であることを特徴とした半導体装置の製造方法。

【請求項 30】

ゲート電極及びソース・ドレイン領域を含む電界効果トランジスタを有する半導体装置であって、

前記ゲート電極は、半導体基板上に絶縁膜を介して形成され、かつ、ゲルマニウムを含んで形成されており、

前記ソース・ドレイン領域は、前記半導体基板に前記ゲート電極に整合されて形成され、かつ、ゲルマニウムを含んで形成されていることを特徴とする半導体装置。 40

【請求項 31】

請求項 30 に記載の半導体装置において、

前記ゲート電極に含まれるゲルマニウムの量は、前記ソース・ドレイン領域に含まれるゲルマニウムの量よりも多いことを特徴とする半導体装置。

【請求項 32】

請求項 30 に記載の半導体装置において、

前記ゲート電極表面から深さ方向の Ge の最大濃度ピーク位置は、前記ソース・ドレイン領域表面から深さ方向の Ge の最大濃度ピーク位置よりも深い位置に形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造技術に関し、特に、電界効果トランジスタを有する半導体装置の製造技術に適用して有効な技術に関するものである。

【背景技術】

【0002】

半導体装置に搭載される電界効果トランジスタとして、例えばMISFET (Metal Insulator Semiconductor Field Effect Transistor) と呼称される絶縁ゲート型電界効果トランジスタが知られている。このMISFETは、高集積化し易いという特徴を持っていることから、集積回路を構成するトランジスタ素子として広く用いられている。

【0003】

MISFETは、nチャネル導電型及びpチャネル導電型を問わず、一般的に、チャネル形成領域、ゲート絶縁膜、ゲート電極、ソース領域及びドレイン領域等を有する構成になっている。ゲート絶縁膜は、半導体基板の主面（素子形成面、回路形成面）の素子形成領域に設けられ、例えば酸化シリコン膜で形成されている。ゲート電極は、半導体基板の主面の素子形成領域上にゲート絶縁膜を介在して設けられ、例えば抵抗値を低減する不純物が導入された多結晶シリコン膜で形成されている。チャネル形成領域は、ゲート電極と対向する半導体基板の領域（ゲート電極直下の領域）に設けられている。ソース領域及びドレイン領域は、チャネル形成領域のチャネル長方向における両側にチャネル形成領域を挟むようにして設けられた一対の半導体領域（不純物拡散領域）で形成されている。

【0004】

なお、MISFETにおいて、ゲート絶縁膜が酸化シリコン膜からなるものは、通常、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) と呼ばれている。また、チャネル形成領域とは、ソース領域とドレイン領域とを結ぶ電流通路（チャネル）が形成される領域を言う。また、電流が半導体基板の厚さ方向（深さ方向）に流れるものを縦型、電流が半導体基板の平面方向（表面方向）に流れるものを横型と呼んでいる。また、ソース領域とドレイン領域との間のチャネル形成領域に電子のチャネル（導電通路）が形成されるものをnチャネル導電型（又は単にn型）、正孔のチャネルが形成されるものをpチャネル導電型（又は単にp型）と呼んでいる。また、ゲート電極に閾値電圧以上の電圧を加えることによって初めてドレイン電流が流れるものをエンハンス型（又はE型、又はノーマリオフ型）と呼び、ゲート電極に電圧を加えなくてもドレイン電流が流れるものをディプレッション型（又はD型、又はノーマリオン型）と呼んでいる。

【0005】

ところで、MISFETは、高集積化や多機能化に伴って微細化の一途を辿っている。MISFETの微細化に伴い短チャネル効果やホットエレクトロンの発生を抑制するため、ゲート長が1[μm]以下のサブミクロン世代のMISFETにおいては、ドレイン領域のチャネル形成領域側の不純物を低濃度化したLDD構造が採用されている。LDD構造は、ドレイン領域のチャネル形成領域側への拡散量を低減し、チャネル長寸法を確保できるため、短チャネル効果の発生を抑制することができる。また、ドレイン領域とチャネル形成領域との間に形成されるpn接合部の不純物濃度分布の勾配を緩和し、この領域に発生する電界強度を弱められるため、ホットキャリアの発生量を低減することができる。

【0006】

LDD構造のMISFETは、主に、半導体基板の主面上にゲート絶縁膜を介在してゲート電極を形成し、その後、半導体基板の主面に不純物をイオン注入してゲート電極に整合した半導体領域（エクステンション領域）を形成し、その後、ゲート電極の側壁にサイドウォールスペーサを形成し、その後、半導体基板の主面に不純物をイオン注入してサイドウォールスペーサに整合した半導体領域（コンタクト領域）を形成することによって得られる。

【0007】

一方、MISFETの微細化は、ゲート長寸法の縮小に伴うゲート抵抗の増加や、ソー

10

20

30

40

50

ス領域及びドレイン領域の浅接合化（シャロー化）に伴うソース抵抗、ドレイン抵抗、及びコンタクト抵抗の増加を招き、メモリ IC（Integrated Circuit）、ロジック IC、メモリ機能及びロジック機能を有する混成 IC 等の高速化を妨げる要因となる。

【0008】

そこで、微細化、高速化に対応して、高融点金属シリサイド膜を用いた低抵抗化技術が注目されている。特に、シリサイド（Salicide: Self-Aligned Silicideの略）技術と呼称される低抵抗化技術の採用は、混成 IC を実現する上で有効である。

【0009】

なお、本発明に関連する公知文献としては、下記の特許文献 1（特開 2000-82678 号公報）がある。この特許文献 1 には、ゲルマニウム（Ge）をイオン注入して、接合リークが少なく、かつ高濃度で浅い接合のソース・ドレイン領域を形成する技術が開示されている。

10

【特許文献 1】特開 2000-82678 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

近年、電子機器の小型軽量化が進み、MISFET においても更なる微細化が要求されている。MISFET の微細化を図る上で問題となるのは、ドレイン電流 I_{ds} （電流駆動能力）の減少である。ドレイン電流 I_{ds} の増加を図るためには、エクステンション領域の抵抗を下げるのが有効である。エクステンション領域の低抵抗化を図るためには、半導体基板の主面の極く浅い領域に、非常に高濃度の不純物をイオン注入する必要がある。

20

【0011】

しかしながら、従来の技術では、抵抗を下げる為に、砒素（As）、磷（P）、ボロン（B）、二フッ化ボロン（ BF_2 ）等の不純物を大量にイオン注入しようとしても、シリコン（Si）結晶中での注入不純物の活性化が低く、特に浅い部分へのイオン注入はセルフスパッタリング等も発生し、一定以上注入しても Si 結晶中に入らず、エクステンション領域を低抵抗にするための改善が少なかった。

【0012】

また、Si 結晶中に不純物をイオン注入して半導体領域を形成し、その後、半導体領域上に高融点金属膜を形成し、その後、Si と高融点金属とを熱処理によって反応させて半導体領域上にシリサイド層を形成する場合、不純物の高濃度化により、シリサイド化工程で非活性の不純物（Si と結合していない未反応の不純物）がシリサイド化を妨げることが確認されている。

30

【0013】

一方、MISFET においては、チャネル形成領域に働く応力の向きによってドレイン電流（ I_{ds} ）が変化することが知られている。具体的には、ドレイン電流が流れる方向（チャネル長方向）と同じ向きの応力をチャネル形成領域にかけた場合、

（1）n 型 MISFET のドレイン電流は、圧縮応力で減少し、引っ張り応力で増加すること、

（2）p 型 MISFET のドレイン電流は、圧縮応力で増加し、引っ張り応力で減少すること、が知られている。

40

【0014】

MISFET のチャネル形成領域に応力をかける方法としては、例えば半導体基板上に形成される層間絶縁膜の膜応力を利用する方法がある。しかしながら、一般的な CMIS（Complementary MIS：相補型 MIS）プロセスでは、半導体基板上に層間絶縁膜を形成する場合、n 型 MISFET 及び p 型 MISFET 上で同一材料を用いてきた結果、同一チップ内において MISFET のチャネル形成領域に働く応力はほぼ同じであった。即ち、膜応力で n 型 MISFET のドレイン電流を増加しようとするすると p 型 MISFET のドレイン電流が減少し、逆に p 型 MISFET のドレイン電流を増加しようとするすると n 型 MISFET のドレイン電流が減少してしまう。

50

【0015】

本発明の目的は、電界効果トランジスタのドレイン電流 I_{ds} の増加（電流駆動能力の向上）を図ることが可能な技術を提供することにある。

【0016】

本発明の他の目的は、 n 型電界効果トランジスタ及び p 型電界効果トランジスタのドレイン電流 I_{ds} の増加（電流駆動能力の向上）を図ることが可能な技術を提供することにある。

【0017】

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

10

【課題を解決するための手段】

【0018】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0019】

(1) ; 電界効果トランジスタを有する半導体装置の製造方法であって、

半導体基板であるシリコン層の主面上にゲート絶縁膜を介在してゲート電極を形成する工程と、

前記シリコン層の主面からその内部に不純物をイオン注入して前記ゲート電極に整合した半導体領域を形成する工程とを有し、

20

更に、前記ゲート電極の形成工程の後であって、前記半導体領域の形成工程の前に、前記シリコン層の主面からその内部にIV族元素（例えばGe）を、前記半導体領域の形成工程における不純物の注入深さよりも浅くイオン注入する工程を有する。

【0020】

(2) ; 前記手段(1)において、

前記半導体領域の形成工程の後に、前記半導体領域の形成工程においてイオン注入された不純物を熱処理によって活性化させる工程を更に有する。

【0021】

(3) 電界効果トランジスタを有する半導体装置の製造方法であって、

半導体基板であるシリコン層の主面上にゲート絶縁膜を介在してゲート電極を形成する (a) 工程と、

30

前記 (a) 工程の後、前記半導体基板の主面にIV族元素（例えばGe）をイオン注入する (b) と、

前記 (b) 工程の後、前記シリコン層の主面に不純物をイオン注入して前記ゲート電極に整合した第1の半導体領域を形成する (c) 工程と、

前記 (c) 工程の後、前記ゲート電極の側壁にサイドウォールスペーサを形成する (d) 工程と、

前記 (d) 工程の後、前記シリコン層の主面に不純物をイオン注入して前記サイドウォールスペーサに整合した第2の半導体領域を形成する (e) 工程とを有し、

前記IV族元素のイオン注入は、前記 (c) 工程における不純物の注入深さよりも浅く行う。

40

【0022】

(4) ; 前記手段(3)において、

前記 (c) 工程の後に、前記 (c) 工程においてイオン注入された不純物を熱処理によって活性化させる工程を更に有する。

【0023】

(5) ; 半導体基板であるシリコン層の主面の第1の領域に形成された n チャネル導電型電界効果トランジスタと、前記シリコン層の主面の第1の領域と異なる第2の領域に形成された p チャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって

前記シリコン層の主面の第1の領域上にゲート絶縁膜を介在して第1のゲート電極、並びに前記シリコン層の主面の第2の領域上にゲート絶縁膜を介在して第2のゲート電極を形成する工程と、

前記シリコン層の主面の第2の領域を選択的にマスクした状態で、前記シリコン層の主面の第1の領域に第1の不純物をイオン注入して、前記第1のゲート電極に整合した第1の半導体領域を形成する工程と、

前記シリコン層の主面の第1の領域を選択的にマスクした状態で、前記シリコン層の主面の第2の領域に第2の不純物をイオン注入して、前記第2のゲート電極に整合した第2の半導体領域を形成する工程と、

前記第1及び第2のゲート電極の側壁に夫々サイドウォールスペーサを形成する工程と 10

前記シリコン層の主面の第2の領域を選択的にマスクした状態で、前記シリコン層の主面の第1の領域に第3の不純物をイオン注入して、前記第1の半導体領域と同一導電型であって、前記第1のゲート電極の側壁のサイドウォールスペーサに整合した第3の半導体領域を形成する工程と、

前記シリコン層の主面の第1の領域を選択的にマスクした状態で、前記シリコン層の主面の第2の領域に第4の不純物をイオン注入して、前記第2の半導体領域と同一導電型であって、前記第2のゲート電極の側壁のサイドウォールスペーサに整合した第4の半導体領域を形成する工程とを有し、

更に、前記第1及び第2のゲート電極の形成工程の後であって、前記第1及び第2の半導体領域の形成工程の前に、前記シリコン層の主面の第1及び第2の領域にIV族元素（例えばGe）を、前記第1及び第2の半導体領域の形成工程における夫々の不純物の注入深さよりも浅くイオン注入する工程を有する。 20

【0024】

（6）；前記手段（5）において、

前記第1及び第2の半導体領域の形成工程の後に、前記第1及び第2の半導体領域の形成工程においてイオン注入された第1及び第2の不純物を熱処理によって活性化させる工程を更に有する。

【0025】

（7）；電界効果トランジスタを有する半導体装置の製造方法であって、 30

半導体基板であるシリコン層の主面上にゲート絶縁膜を介在してゲート電極を形成する工程と、

前記シリコン層の主面からその内部に不純物をイオン注入して前記ゲート電極に整合した第1の半導体領域を形成する工程と、

前記ゲート電極の側壁にサイドウォールスペーサを形成する工程と、

前記シリコン層の主面からその内部に不純物をイオン注入して前記サイドウォールスペーサに整合した第2の半導体領域を形成する工程と、

前記第2の半導体領域上に高融点金属膜を形成し、その後、前記第2の半導体領域のシリコンと前記高融点金属膜の金属とを反応させる熱処理を施して、前記第2の半導体領域上に金属・半導体反応層を形成する工程とを有し、 40

更に、前記ゲート電極の形成工程の後であって、前記第1の半導体領域の形成工程の前に、前記シリコン層の主面からその内部にIV族元素（例えばGe）を、前記第1の半導体領域の形成工程における不純物の注入深さよりも浅くイオン注入する工程を有する。

【0026】

（8）；手段（7）において、

前記第1の半導体領域の形成工程の後であって、前記高融点金属膜の形成工程の前に、前記第1及び第2の半導体領域の形成工程においてイオン注入された夫々の不純物を熱処理によって活性化させる工程を更に有する。

【0027】

（9）；半導体基板であるシリコン層の主面の第1の領域に形成されたnチャネル導電型 50

電界効果トランジスタと、前記半導体基板の主面の第1の領域と異なる第2の領域に形成されたpチャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

前記シリコン層の主面の第1の領域上に形成された第1のゲート電極、並びに前記シリコン層の主面の第2の領域上に形成された第2のゲート電極を覆うようにして、引っ張り応力を持つ絶縁膜（例えば窒化シリコン膜）を形成する工程と、

前記絶縁膜に異方性エッチングを施して、前記第1のゲート電極の側壁に第1のサイドウォールスペーサ、前記第2のゲート電極の側壁に第2のサイドウォールスペーサを形成する工程と、

前記シリコン層の主面の第1の領域をマスクした状態で、前記第2のサイドウォールスペーサにIV族元素（例えばGe）をイオン注入して、前記第2のサイドウォールスペーサの結晶性を破壊する工程とを有する。

10

【0028】

(10)；半導体基板であるシリコン層の主面の第1の領域に形成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の主面の第1の領域と異なる第2の領域に形成されたpチャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

前記シリコン層の主面の第1の領域上に形成された第1のゲート電極、並びに前記シリコン層の主面の第2の領域上に形成された第2のゲート電極を覆うようにして、圧縮応力を持つ絶縁膜（例えば窒化シリコン膜）を形成する工程と、

20

前記絶縁膜に異方性エッチングを施して、前記第1のゲート電極の側壁に第1のサイドウォールスペーサ、前記第2のゲート電極の側壁に第2のサイドウォールスペーサを形成する工程と、

前記シリコン層の主面の第2の領域をマスクした状態で、前記第1のサイドウォールスペーサにIV族元素（例えばGe）をイオン注入して、前記第1のサイドウォールスペーサの結晶性を破壊する工程とを有する。

【0029】

(11)；半導体基板であるシリコン層の主面の第1の領域に形成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の主面の第1の領域と異なる第2の領域に形成されたpチャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

30

前記シリコン層の主面の第1の領域上にゲート絶縁膜を介在して第1のゲート電極、並びに前記シリコン層の主面の第2の領域上にゲート絶縁膜を介在して第2のゲート電極を形成する工程と、

前記シリコン層の主面の第2の領域を選択的にマスクした状態で、前記シリコン層の主面の第1の領域に第1の不純物をイオン注入して、前記第1のゲート電極に整合した第1の半導体領域を形成する工程と、

前記シリコン層の主面の第1の領域を選択的にマスクした状態で、前記シリコン層の主面の第2の領域に第2の不純物をイオン注入して、前記第2のゲート電極に整合した第2の半導体領域を形成する工程と、

40

前記第1及び第2のゲート電極を覆うようにして、引っ張り応力を持つ絶縁膜（例えば窒化シリコン膜）を形成し、その後、前記絶縁膜に異方性エッチングを施して、前記第1のゲート電極の側壁に第1のサイドウォールスペーサ、及び前記第2のゲート電極の側壁に第2のサイドウォールスペーサを形成する工程と、

前記シリコン層の主面の第2の領域を選択的にマスクした状態で、前記シリコン層の主面の第1の領域に第3の不純物をイオン注入して、前記第1の半導体領域と同一導電型であって、前記第1のサイドウォールスペーサに整合した第3の半導体領域を形成する工程と、

前記シリコン層の主面の第1の領域を選択的にマスクした状態で、前記シリコン層の主面の第2の領域に第4の不純物をイオン注入して、前記第2の半導体領域と同一導電型で

50

あって、前記第2のサイドウォールスペーサに整合した第4の半導体領域を形成する工程とを有し、

更に、前記第1及び第2のゲート電極の形成工程の後であって、前記第1及び第2の半導体領域の形成工程の前に、前記シリコン層の主面の第1及び第2の領域に第1のIV族元素（例えばGe）を、前記第1及び第2の半導体領域の形成工程における夫々の不純物の注入深さよりも浅くイオン注入する工程と、

前記シリコン層の主面の第1の領域をマスクした状態で、前記第2のサイドウォールスペーサに第2のIV族元素（例えばGe）をイオン注入して、前記第2のサイドウォールスペーサの結晶性を破壊する工程とを有する。

【0030】

(12)；半導体基板であるシリコン層の主面の第1の領域に形成されたnチャネル導電型電界効果トランジスタと、前記半導体基板の主面の第1の領域と異なる第2の領域に形成されたpチャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

前記シリコン層の主面の第1の領域上にゲート絶縁膜を介在して第1のゲート電極、並びに前記シリコン層の主面の第2の領域上にゲート絶縁膜を介在して第2のゲート電極を形成する工程と、

前記シリコン層の主面の第2の領域を選択的にマスクした状態で、前記シリコン層の主面の第1の領域に第1の不純物をイオン注入して、前記第1のゲート電極に整合した第1の半導体領域を形成する工程と、

前記シリコン層の主面の第1の領域を選択的にマスクした状態で、前記シリコン層の主面の第2の領域に第2の不純物をイオン注入して、前記第2のゲート電極に整合した第2の半導体領域を形成する工程と、

前記第1及び第2のゲート電極を覆うようにして、圧縮応力を持つ絶縁膜（例えば窒化シリコン膜）を形成し、その後、前記絶縁膜に異方性エッチングを施して、前記第1のゲート電極の側壁に第1のサイドウォールスペーサ、及び前記第2のゲート電極の側壁に第2のサイドウォールスペーサを形成する工程と、

前記シリコン層の主面の第2の領域を選択的にマスクした状態で、前記シリコン層の主面の第1の領域に第3の不純物をイオン注入して、前記第1の半導体領域と同一導電型であって、前記第1のサイドウォールスペーサに整合した第3の半導体領域を形成する工程と、

前記シリコン層の主面の第1の領域を選択的にマスクした状態で、前記シリコン層の主面の第2の領域に第4の不純物をイオン注入して、前記第2の半導体領域と同一導電型であって、前記第2のサイドウォールスペーサに整合した第4の半導体領域を形成する工程とを有し、

更に、前記第1及び第2のゲート電極の形成工程の後であって、前記第1及び第2の半導体領域の形成工程の前に、前記シリコン層の主面の第1及び第2の領域に第1のIV族元素（例えばGe）を、前記第1及び第2の半導体領域の形成工程における夫々の不純物の注入深さよりも浅くイオン注入する工程と、

前記シリコン層の主面の第2の領域をマスクした状態で、前記第1のサイドウォールスペーサに第2のIV族元素（例えばGe）をイオン注入して、前記第1のサイドウォールスペーサの結晶性を破壊する工程とを有する。

【0031】

(13)；電界効果トランジスタを有する半導体装置の製造方法であって、

半導体基板の主面上に半導体膜を形成する工程と、

前記半導体膜に、抵抗値を低減する不純物をイオン注入する工程と、

前記半導体膜をパターンニングしてゲート電極を形成する工程とを有し、

更に、前記半導体膜に、この半導体膜と同族の元素をイオン注入する工程を有する。

【0032】

(14)；前記手段(13)において、

10

20

30

40

50

更に、前記不純物をイオン注入する工程の後に、前記不純物を熱処理によって活性化させる工程を有し、

前記半導体膜と同族の元素をイオン注入する工程は、前記不純物を熱処理によって活性化させる工程の前に実施する。

【0033】

(15) ; 前記手段(13)において、

更に、前記不純物をイオン注入する工程の後に、前記不純物を熱処理によって活性化させる工程を有し、

前記半導体膜と同族の元素をイオン注入する工程は、前記不純物をイオン注入する工程の前に実施する。

【0034】

(16) ; 前記手段(13)において、

前記半導体膜はシリコンであり、前記元素はGeイオンである。

【0035】

(17) ; 半導体基板の主面の第1の領域に形成されたnチャネル導電型電界効果トランジスタと、前記第1の領域と異なる第2の領域に形成されたpチャネル導電型電界効果トランジスタとを有する半導体装置の製造方法であって、

前記半導体基板の主面の第1及び第2の領域上に半導体膜を形成する工程と、

前記半導体膜に抵抗値を低減する不純物をイオン注入する工程と、

前記半導体膜をパターンニングして、前記半導体基板の主面の第1及び第2の領域に夫々ゲート電極を形成する工程と、

前記純物を熱処理によって活性化させる工程とを有し、

更に、前記半導体膜を形成する工程の後であって、前記不純物を熱処理によって活性化させる工程の前に、前記半導体膜に、この半導体膜と同族の元素をイオン注入する工程を有する。

【0036】

(18) ; 電界効果トランジスタを有する半導体装置の製造方法であって、

半導体基板の主面上にゲート絶縁膜を介在してゲート電極を形成する工程と、

前記半導体基板の主面からその内部に不純物をイオン注入して前記ゲート電極に整合した半導体領域を形成する工程と、

前記ゲート電極の形成工程の後に、前記半導体基板の主面からその内部に前記半導体基板と同族の元素を、前記第1の半導体領域の形成工程における不純物の注入深さよりも浅くイオン注入する工程と、

前記同族の元素をイオン注入する工程、及び前記半導体領域を形成する工程の後に、前記半導体基板に洗浄を施す工程とを有し、

前記洗浄工程は、硫酸加水、希フッ酸及び塩酸加水を用いて行う。

【0037】

(19) ; 前記手段(18)において、

更に、前記同族の元素をイオン注入する工程、及び前記半導体領域を形成する工程の後に、前記半導体領域の形成工程においてイオン注入された不純物を熱処理によって活性化させる工程を有し、

前記洗浄工程は、前記不純物を熱処理によって活性化させる工程の後に実施する。

【発明の効果】

【0038】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0039】

本発明によれば、電界効果トランジスタのドレイン電流 I_{ds} の増加(電流駆動能力の向上)を図ることができる。

【0040】

10

20

30

40

50

また、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのドレイン電流の増加を図ることができる。

【0041】

また、nチャネル導電型電界効果トランジスタ及びpチャネル導電型電界効果トランジスタのゲート電極の低抵抗化を図ることができる。

【発明を実施するための最良の形態】

【0042】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

10

【0043】

(実施形態1)

本実施形態1では、相補型MISFETを有する半導体装置に本発明を適用した例について説明する。

【0044】

図1は、本実施形態1の半導体装置に搭載された相補型MISFETの概略構成を示す模式的断面図である。図1において、向かって左側がn型MISFETであり、右側がp型MISFETである。

【0045】

図1に示すように、本実施形態1の半導体装置は、半導体基板として例えば単結晶シリコンからなるp型のシリコン基板（半導体基板であるシリコン層）1を主体に構成されている。

20

【0046】

シリコン基板1の主面（素子形成面又は回路形成面）は、素子分離領域2によって互いに区画された素子形成領域1n及び1pを有し、素子形成領域1nには、p型ウエル領域4及びn型MISFETが形成され、素子形成領域1pには、n型ウエル領域3及びp型MISFETが形成されている。素子分離領域2は、例えば浅溝アイソレーション（SGI：Shallow Groove Isolation）領域で構成されている。浅溝アイソレーション領域は、シリコン基板1の主面に浅溝を形成し、その後、浅溝の内部に絶縁膜（例えば酸化シリコン膜）を選択的に埋め込むことによって形成される。本実施形態のn型及びp型MISFETは、ドレイン電流がシリコン基板1の平面方向に流れる横型構造になっている。

30

【0047】

n型及びp型MISFETは、主に、チャネル形成領域、ゲート絶縁膜5、ゲート電極6、ソース領域及びドレイン領域を有する構成になっている。ゲート絶縁膜5はシリコン基板1の主面に設けられ、ゲート電極6はシリコン基板1の主面上にゲート絶縁膜5を介在して設けられ、チャネル形成領域はゲート電極6の直下におけるシリコン基板1の表層部に設けられている。ソース領域及びドレイン領域は、チャネル形成領域のチャネル長方向における両側にチャネル形成領域を挟むようにして設けられている。

【0048】

n型MISFETのソース領域及びドレイン領域は、エクステンション領域である一対のn型半導体領域8、及びコンタクト領域である一対のn型半導体領域12を有する構成になっている。n型半導体領域8はゲート電極6に整合して形成され、n型半導体領域12はゲート電極6の側壁に設けられたサイドウォールスペーサ11に整合して形成されている。

40

【0049】

p型MISFETのソース領域及びドレイン領域は、エクステンション領域である一対のp型半導体領域9、及びコンタクト領域である一対のp型半導体領域13を有する構成になっている。p型半導体領域9はゲート電極6に整合して形成され、p型半導体領域13はゲート電極6の側壁に設けられたサイドウォールスペーサ11に整合して形成されている。

50

【0050】

n型及びp型MISFETにおいて、ゲート電極6、n型半導体領域12、p型半導体領域13の夫々の表面には、低抵抗化を図るため、金属・半導体反応層であるシリサイド層(15, 16)が形成されている。これらのシリサイド層15及び16は、例えばサリサイド(Salicide: Self Aligned Silicide)技術により、サイドウォールスペーサ11に整合して形成されている。即ち、本実施形態のn型及びp型MISFETはサリサイド構造になっている。

【0051】

シリコン基板1の主面上には、n型及びp型MISFETを覆うようにして、例えば酸化シリコン膜からなる層間絶縁膜17が設けられている。n型半導体領域12上及びp型半導体領域13上には、層間絶縁膜17の表面からシリサイド層15に到達するソース・ドレイン用コンタクト孔が設けられ、このソース・ドレイン用コンタクト孔の内部には導電性プラグ19が埋め込まれている。n型及びp型半導体領域(12, 13)は、シリサイド層15及び導電性プラグ19を介在して、層間絶縁膜17上を延在する配線20と電気的に接続されている。

【0052】

n型及びp型MISFETのゲート電極6上には、図示していないが、層間絶縁膜17の表面からシリサイド層16に到達するゲート用コンタクト孔が設けられ、このゲート用コンタクト孔の内部には導電性プラグ19が埋め込まれている。ゲート電極6は、シリサイド層16、及びゲート用コンタクト孔の内部の導電性プラグ19を介在して、層間絶縁膜17上を延在する配線20と電気的に接続されている。

【0053】

n型MISFETのエクステンション領域であるn型半導体領域8は、シリコン基板1の主面からその内部に不純物として例えば砒素(As)をイオン注入することによって形成されている。このn型半導体領域8には、シリコン基板1の主面からその内部にイオン注入によって導入されたIV族元素、例えばゲルマニウム(Ge)が含まれている。Geの濃度分布のピーク値は、シリコン基板1の深さ方向において、Asの不純物濃度分布のピーク値よりもシリコン基板1の主面側、即ち浅い位置に位置している。素子形成領域1nにおけるGeのイオン注入は、後で詳細に説明するが、ゲート電極6の形成工程の後であって、n型MISFETのエクステンション領域であるn型半導体領域8の形成工程の前に、n型半導体領域8の形成工程における不純物(例えばAs)の注入深さよりも浅く行われる。

【0054】

p型MISFETのエクステンション領域であるp型半導体領域9は、シリコン基板1の主面からその内部に不純物として例えば二フッ化ボロン(BF₂)をイオン注入することによって形成されている。このp型半導体領域9には、シリコン基板1の主面からその内部にイオン注入によって導入されたIV族元素、例えばゲルマニウム(Ge)が含まれている。Geの濃度分布のピーク値は、シリコン基板1の深さ方向において、Asの不純物濃度分布のピーク値よりもシリコン基板1の主面側、即ち浅い位置に位置している。素子形成領域1pにおけるGeのイオン注入は、後で詳細に説明するが、ゲート電極6の形成工程の後であって、p型MISFETのエクステンション領域であるp型半導体領域9の形成工程の前に、p型半導体領域9の形成工程における不純物(例えばBF₂)の注入深さよりも浅く行われる。

【0055】

本実施形態1では、素子形成領域1n及び1pへのGeのイオン注入は、同一工程で行われる。

【0056】

次に、本実施形態1の半導体装置の製造について、図2乃至図14を用いて説明する。図2乃至図14は、半導体装置の製造工程を示す模式的断面図である。

【0057】

10

20

30

40

50

まず、比抵抗 $10 [\Omega \text{ cm}]$ を有する単結晶シリコンからなるシリコン基板 1 を準備し、その後、図 2 に示すように、シリコン基板 1 の主面の素子形成領域 1 n に p 型ウェル領域 4、素子形成領域 1 p に n 型ウェル領域 3 を選択的に形成する。

【0058】

次に、図 2 に示すように、シリコン基板 1 の主面の素子形成領域 1 n 及び 1 p を区画する素子分離領域 2 として、例えば浅溝アイソレーション領域を形成する。この浅溝アイソレーション領域は、シリコン基板 1 の主面に浅溝（例えば $300 [\text{nm}]$ 程度の深さの溝）を形成し、その後、シリコン基板 1 の主面上に例えば酸化シリコン膜からなる絶縁膜を CVD (Chemical Vapor Deposition) 法で形成し、その後、絶縁膜が浅溝の内部に選択的に残るように CMP (化学的機械研磨: Chemical Mechanical Polishing) 法で平坦化することによって形成される。この後、シリコン基板 1 の表面を洗浄し、素子形成領域 1 n 及び 1 p を含むシリコン基板 1 表面に付着した砥粒スラリなどの異物や汚染物質を除去する。

10

【0059】

次に、熱酸化処理を施してシリコン基板 1 の主面の素子形成領域 1 n 及び 1 p に例えば厚さが $2 \sim 3 [\text{nm}]$ 程度の酸化シリコン膜からなるゲート絶縁膜 5 を形成し、その後、シリコン基板 1 の主面上の全面に例えば厚さが $150 \sim 200 [\text{nm}]$ 程度の多結晶シリコン膜を形成し、その後、前記多結晶シリコン膜にパターンニングを施して、図 3 に示すようにゲート電極 6 を形成する。多結晶シリコン膜には、抵抗値を低減する不純物がその堆積中又は堆積後に導入される。

20

【0060】

次に、n 型及び p 型 MISFET のエクステンション領域を形成する工程の前に、図 4 に示すように、シリコン基板 1 の主面からその素子形成領域 1 n 及び 1 p の内部に、具体的にはゲート電極 6 が形成されていない p 型ウェル領域 4 及び n 型ウェル領域 3 の部分に、IV 族元素として例えば Ge (ゲルマニウム) をイオン注入する。この Ge のイオン注入により、シリコン基板 1 の主面の素子形成領域 1 n 及び 1 p に、ゲート電極 6 に整合して非晶質層 7 が形成される。

【0061】

Ge のイオン注入は、n 型及び p 型 MISFET のエクステンション領域の形成工程における不純物のイオン注入深さよりも浅く行う。本実施形態において、Ge のイオン注入は、例えば、加速エネルギーが 3 KeV 程度、ドーズ量が $5 \times 10^{14} \sim 2 \times 10^{15} [\text{atoms}/\text{cm}^2]$ 程度の条件で行う。

30

【0062】

次に、図 5 に示すように、シリコン基板 1 の主面の素子形成領域 1 p をマスク M1 で選択的に覆った状態で、シリコン基板 1 の主面からその素子形成領域 1 n の内部に、具体的にはゲート電極 6 が形成されていない p 型ウェル領域 4 の部分に、不純物として例えば As (砒素) をイオン注入する。この As のイオン注入により、シリコン基板 1 の主面の素子形成領域 1 n に、ゲート電極に整合して一対の n 型半導体領域 (エクステンション領域) 8 が形成される。本実施形態において、As のイオン注入は、例えば、加速エネルギーが $1 \sim 3 \text{ KeV}$ 程度、ドーズ量が $1 \times 10^{14} \sim 2 \times 10^{15} [\text{atoms}/\text{cm}^2]$ 程度の条件で行う。このとき、As のイオン注入における加速エネルギーは、Ge と同等、もしくはそれ以上とすることが好ましい。これは As の分子量が Ge の分子量と同程度のため、As を Ge よりも深い位置に形成するためである。マスク M1 としては、例えばフォトリソグラフィ技術によって形成されるフォトレジストマスクを使用する。

40

【0063】

次に、マスク M1 を除去した後、図 6 に示すように、シリコン基板 1 の主面の素子形成領域 1 n をマスク M2 で選択的に覆った状態で、シリコン基板 1 の主面からその素子形成領域 1 p の内部に、具体的にはゲート電極 6 が形成されていない n 型ウェル領域 3 の部分に、不純物として例えば BF_2 (二フッ化ボロン) をイオン注入する。この BF_2 のイオン注入により、シリコン基板 1 の素子形成領域 1 p に、ゲート電極 6 に整合して一対の p

50

型半導体領域（エクステンション領域）9が形成される。本実施形態において、 BF_2 のイオン注入は、例えば、加速エネルギーが1～3 KeV程度、ドーズ量が $1 \times 10^{14} \sim 2 \times 10^{15} [\text{atoms}/\text{cm}^2]$ 程度の条件で行う。ここで、p型半導体領域9の形成手段として BF_2 を用いているが、これはBよりも分子量が大きく拡散係数が小さくなるためである。仮にBを用いた場合では、後述する不純物活性化のための熱処理時にBが半導体基板の横方向及び深さ方向に拡散しすぎるため、面内の均一性を保てず、結果として、本発明の目的とするところの極浅接合の達成が BF_2 を用いた場合に比べると困難となる。即ち、本実施の形態においては、Bよりも分子量の大きい不純物を採用することで、極浅接合の達成を試みている。マスクM2としては、例えばフォトリソグラフィ技術によって形成されるフォトレジストマスクを使用する。

10

【0064】

次に、マスクM2を除去した後、図8に示すように、ゲート電極6の側壁に、例えばゲート長方向の膜厚が50～70 [nm]程度のサイドウォールスペーサ11を形成する。サイドウォールスペーサ11は、図7に示すように、シリコン基板1の主面上の全面に例えば酸化シリコン膜からなる絶縁膜10をCVD法で形成し、その後、絶縁膜10にRIE（Reactive Ion Etching）等の異方性エッチングを施すことによって形成される。サイドウォールスペーサ11は、ゲート電極6に整合して形成される。

【0065】

次に、図9に示すように、シリコン基板1の主面の素子形成領域1pをマスクM3で選択的に覆った状態で、シリコン基板1の主面からその素子形成領域1nの内部に、具体的にはゲート電極6が形成されていないp型ウェル領域4の部分に、不純物として例えばAsをイオン注入する。このAsのイオン注入により、シリコン基板1の素子形成領域1nに、サイドウォールスペーサ11に整合して一対のn型半導体領域（コンタクト領域）12が形成される。本実施形態において、Asのイオン注入は、例えば、加速エネルギーが20～45 KeV程度、ドーズ量が $2 \sim 4 \times 10^{15} [\text{atoms}/\text{cm}^2]$ 程度の条件で行う。マスクM3としては、例えばフォトリソグラフィ技術によって形成されるフォトレジストマスクを使用する。

20

【0066】

次に、マスクM3を除去した後、図10に示すように、シリコン基板1の主面の素子形成領域1nをマスクM4で選択的に覆った状態で、シリコン基板1の主面からその素子形成領域1pの内部に、具体的にはゲート電極6が形成されていないn型ウェル領域3の部分に不純物として例えば BF_2 （二フッ化ボロン）をイオン注入する。この BF_2 のイオン注入により、シリコン基板1の素子形成領域に、サイドウォールスペーサ11に整合して一対のp型半導体領域（コンタクト領域）13が形成される。本実施形態において、 BF_2 のイオン注入は、例えば、加速エネルギーが20～50 KeV程度、ドーズ量が $2 \sim 4 \times 10^{15} [\text{atoms}/\text{cm}^2]$ 程度の条件で行う。マスクM4としては、例えばフォトリソグラフィ技術によって形成されるフォトレジストマスクを使用する。

30

【0067】

次に、マスクM4を除去した後、n型半導体領域8の形成工程、p型半導体領域9の形成工程、n型半導体領域12の形成工程、並びにp型半導体領域13の形成工程においてイオン注入された不純物（As, BF_2 ）を熱処理によって活性化させる。熱処理は、昇降温レートが非常に大きい、通常スパイクアニール装置と呼ばれる枚葉式アニール装置を用いて、温度が1000 [℃]、加熱時間が1 [秒]の条件で行う。

40

【0068】

この工程において、Geのイオン注入によって形成されたシリコン基板中（シリコン層中）の非晶質部分（非晶質層7）は、図11に示すように、元の単結晶に回復する。また、不純物（As, BF_2 ）のイオン注入によって形成されたシリコン基板中（シリコン層中）の非晶質部分（半導体領域8, 9, 12, 13）も非晶質から元の単結晶に回復する。

【0069】

50

また、この工程において、ゲート電極6の形成工程の後であって、半導体領域(8, 9, 12, 13)の形成工程の前に、予めシリコン基板1の主面の素子形成領域1n及び1pに、シリコン基板(シリコン層)と同族のIV族元素であるGeが半導体領域(8, 9, 12, 13)の形成工程における不純物(As, BF₂)のイオン注入深さよりも浅くイオン注入されているため、Si-Ge-X(X: As, BF₂)の結合が形成され、Si-X単独の場合よりも、シリコン基板中(シリコン層中)での不純物の活性化が向上し、導電に寄与する不純物の濃度が高くなる(Siと結合しない未反応の不純物量が少なくなる)。この結果、n型及びp型MISFETのエクステンション領域(半導体領域8, 9)の抵抗、特に表面における抵抗が下がるため、n型及びp型MISFETのドレイン電流I_{ds}の増加(電流駆動能力の向上)を図ることができる。

10

【0070】

なお、n型及びp型MISFETのコンタクト領域(半導体領域12, 13)においてもGeがイオン注入されている。従って、このコンタクト領域においても、シリコン基板中(シリコン層中)での不純物の活性化が向上し、導電に寄与する不純物の濃度が高くなる(Siと結合しない未反応の不純物量が少なくなる)ため、コンタクト領域における抵抗、特に表面における抵抗が下がる。

【0071】

ここで、エクステンション領域(半導体領域8, 9)の形成工程における不純物(As, BF₂)よりもGeを深くイオン注入した場合、Geのイオン注入による結晶欠陥の影響により、エクステンション領域の形成工程においてイオン注入した不純物が拡散し易くなるため、エクステンション領域(半導体領域8, 9)の接合深さが深くなる。従って、本実施形態のように、エクステンション領域の形成工程における不純物の注入深さよりも浅くGeをイオン注入することにより、エクステンション領域の形成工程においてイオン注入した不純物の拡散を抑制できるため、接合深さが浅い低抵抗のエクステンション領域を形成することができる。

20

【0072】

また、エクステンション領域(半導体領域8, 9)の形成工程における不純物のイオン注入よりも後にGeのイオン注入を行った場合、エクステンション領域の形成工程における不純物(As, BF₂)は単結晶中にイオン注入される。原子配列に規則性がある単結晶では、原子配列の間隙を通して不純物が奥深く到達するチャネリング現象が発生し易いため、エクステンション領域の接合深さが深くなる。一方、原子配列が不規則の非晶質層では、チャネリング現象が発生し難い。従って、本実施形態のように、ゲート電極6の形成工程の後であって、エクステンション領域の形成工程の前に、シリコン基板(シリコン層)の主面からその内部にGeをイオン注入することにより、接合深さが浅い低抵抗のエクステンション領域を形成することができる。

30

【0073】

次に、自然酸化膜等を除去してゲート電極6及び半導体領域(12, 13)の表面を露出させた後、図12に示すように、これらの表面上を含むシリコン基板1の主面上の全面に高融点金属膜として例えばコバルト(Co)膜14をスパッタ法で形成し、その後、半導体領域(12, 13)のシリコン(Si)、並びにゲート電極6のSiとコバルト膜14のCoとを反応させる熱処理を施して、半導体領域12、13表面及びゲート電極6上のSiと反応させることにより、図13に示すように、半導体領域(12, 13)の表面、並びにゲート電極6の表面に金属・半導体反応層であるシリサイド(CoSi)層15及び16を形成する。シリサイド層15及び16は、サイドウォールスペーサ11に整合して形成される。

40

【0074】

ここで、半導体領域(12, 13)上のシリサイド層15は、半導体領域(12, 13)におけるシリコン基板のSiとコバルト膜14のCoとを熱反応させることで形成されるが、半導体領域(12, 13)の表面における不純物の活性化が低いと、シリコン基板のSiと結合していない未反応の不純物が多くなるため、この未反応の不純物の影響によ

50

り、シリサイド化が阻害され、シリサイド層 15 にこのシリサイド層 15 よりも高抵抗である CoSi の凝集部が形成され易くなる。シリサイド層 15 は、 MISFET の微細化に伴うソース・ドレイン抵抗の増加を抑制するために設けられている。従って、未反応の不純物による影響で CoSi の凝集部が形成されると、 MISFET の微細化に伴うソース・ドレイン抵抗の増加を抑制する効果が減少してしまう。

【0075】

これに対し、本実施形態の半導体領域 (12, 13) の表面は、 Ge のイオン注入による Si-Ge-X (X: As, BF_2) の結合によって活性化され、 Si と結合しない未反応の不純物が少なくなっているため、シリサイド化反応における CoSi の凝集を抑制することができる。

10

【0076】

次に、図 14 に示すように、シリサイド層 (15, 16) が形成された領域以外の未反応のコバルト膜 14 を選択的に除去し、その後、シリサイド層 (15, 16) を活性化させる熱処理を施す。

【0077】

次に、 n 型及び p 型 MISFET 上を含むシリコン基板 1 の主面上の全面に例えば酸化シリコン膜からなる層間絶縁膜 17 を CVD 法で形成し、その後、層間絶縁膜 17 の表面を CMP 法で平坦化する。

【0078】

次に、層間絶縁膜 17 の表面からシリサイド層 15 に到達するソース・ドレイン用コンタクト孔、並びに層間絶縁膜 17 の表面からシリサイド層 16 に到達するゲート用コンタクト孔を形成し、その後、ソース・ドレイン用コンタクト孔の内部、並びにゲート用コンタクト孔の内部に金属等の導電物を埋め込んで導電性プラグ 19 を形成し、その後、層間絶縁膜 17 上に配線 20 を形成することにより、図 1 に示す構造となる。

20

【0079】

図 15 は、 Ge を事前に注入した場合と Ge を事前に注入しなかった場合のエクステンション領域における As の不純物濃度プロファイルを示す図であり、

図 16 は、 Ge を事前に注入した場合と Ge を事前に注入しなかった場合のエクステンション領域における BF_2 の不純物濃度プロファイルを示す図である。

【0080】

図 15 及び図 16 において、 Ge を事前に注入した場合の不純物濃度プロファイルは、本実施形態 1 と同じ条件で Ge のイオン注入、並びにエクステンション領域の形成工程における不純物のイオン注入を行い、その後、不純物を活性化させる熱処理を施して作成したサンプルを使用して求めたものである。 Ge を事前に注入しなかった場合の不純物濃度プロファイルは、本実施形態 1 と同じ条件でエクステンション領域の形成工程における不純物のイオン注入を行い、その後、不純物を活性化させる熱処理を施して作成したサンプルを使用して求めたものである。

30

【0081】

図 15 に示すように、エクステンション領域の表面の As 濃度は、 Ge を事前にイオン注入した場合の方が、 Ge を事前にイオン注入しなかった場合よりも高くなっている。また、 $10^{18} [\text{atoms}/\text{cm}^3]$ のプロファイル深さは、 Ge を事前にイオン注入した場合の方が、 Ge を事前にイオン注入しなかった場合よりも浅くなっている。

40

【0082】

図 16 に示すように、エクステンション領域の表面の BF_2 濃度は、 Ge を事前にイオン注入した場合の方が、 Ge を事前にイオン注入しなかった場合よりも高くなっている。また、 $10^{18} [\text{atoms}/\text{cm}^3]$ のプロファイル深さは、 Ge を事前にイオン注入した場合の方が、 Ge を事前にイオン注入しなかった場合よりも浅くなっている。

【0083】

このようなことから、ゲート電極 6 の形成工程の後であって、 n 型及び p 型 MISFET のエクステンション領域 (半導体領域 8, 9) の形成工程の前に、シリコン基板 1 の主

50

面の素子形成領域 $1n$ 及び $1p$ に IV 族元素である Ge を、 n 型及び p 型 MISFET のエクステンション領域の形成工程における夫々の不純物 (As , BF_2) の注入深さよりも浅くイオン注入することにより、接合深さが浅い低抵抗のエクステンション領域を形成することができるため、 n 型及び p 型 MISFET のドレイン電流 I_{ds} の増加 (電流駆動能力の向上) を図ることができる。本実施形態 1 においては、Ge を事前にイオン注入しなかった場合と比較して、 n 型及び p 型 MISFET のドレイン電流が共に 5 % 程度増加した。

【0084】

このように、本実施形態 1 によれば、 n 型及び p 型 MISFET の双方のエクステンション領域を、低抵抗で、かつ浅い接合深さで形成することができるため、 n 型及び p 型 MISFET のドレイン電流 I_{ds} が増加 (電流駆動能力が向上) する。

【0085】

また、 n 型及び p 型 MISFET の双方のコンタクト領域 (半導体領域 12, 13) は、Ge のイオン注入による $Si-Ge-X$ ($X: As, BF_2$) の結合によって活性化され、 Si と結合しない未反応の不純物が少なくなっているため、シリサイド化反応における $CoSi$ の凝集を抑制することができる。

【0086】

なお、本実施形態 1 では、相補型 MISFET を有する半導体装置に本発明を適用した例について説明したが、本発明は、 n 型、 p 型のうち何れか一方の MISFET を有する半導体装置にも適用することができる。

【0087】

また、本実施形態 1 では、シリコン基板と同族の IV 族元素として Ge を用いた例について説明したが、シリコン基板と同族の IV 族元素であれば他の元素を用いても良い。

【0088】

また、本実施形態 1 では、 n 型及び p 型 MISFET の双方のエクステンション領域の形成工程における不純物のイオン注入、並びに、双方のコンタクト領域の形成工程における不純物のイオン注入を行った後、これらの不純物を活性化させる熱処理を実施する例について説明したが、不純物を活性化させる熱処理は、 n 型及び p 型 MISFET のエクステンション領域の形成工程後であって、 n 型及び p 型 MISFET のコンタクト領域の形成工程前に行い、更に、 n 型及び p 型 MISFET のコンタクト領域の形成工程後に行っても良い。

【0089】

但し、この場合は、エクステンション領域の接合深さが深くなるため、不純物を活性化させる熱処理は本実施形態 1 のように一回で行うことが望ましい。

【0090】

また、本実施形態 1 では、 p 型 MISFET のエクステンション領域を形成するための不純物として BF_2 を用いた例について説明したが、ボロン (B) をイオン注入して p 型 MISFET のエクステンション領域を形成する場合においても同様の効果が得られる。

【0091】

図 17 は、Ge を事前に注入した場合と Ge を事前に注入しなかった場合のエクステンション領域における B の不純物濃度プロファイルを示す図である。図 17 に示す B の不純物濃度プロファイルは、図 18 に示す BF_2 の不純物プロファイルの場合と同じ条件で作成したサンプルを使用して求めたものである。図 17 に示すように、エクステンション領域の表面の B 濃度は、 BF_2 の場合と同じように、Ge を事前にイオン注入した場合の方が、Ge を事前にイオン注入しなかった場合よりも高くなっている。また、 10^{18} [atoms/cm³] でのプロファイル深さは、Ge を事前にイオン注入した場合の方が、Ge を事前にイオン注入しなかった場合よりも浅くなっている。従って、ボロンをイオン注入して p 型 MISFET のエクステンション領域を形成する場合においても同様の効果が得られる。

【0092】

10

20

30

40

50

また、本実施形態 1 では、 n 型 MISFET のエクステンション領域を形成するための不純物として As を用いた例について説明したが、隣 (P) をイオン注入して n 型 MISFET のエクステンション領域を形成する場合においても同様の効果が得られる。

【0093】

図 18 乃至図 21 は、実施形態 1 の変形例である半導体装置の製造工程を示す模式的断面図である。

【0094】

前述の実施形態 1 では、ゲート電極 6 の形成工程の後であって、 n 型及び p 型 MISFET のエクステンション領域の形成工程の前に、シリコン基板 1 の主面の素子形成領域 1 n 及び 1 p に IV 族元素である Ge を同一工程でイオン注入する例について説明したが、素子形成領域 1 n への Ge イオン注入と素子形成領域 1 p への Ge イオン注入は別々に行っても良い。以下、Ge イオン注入を別々に行う例について、図 18 乃至図 21 を用いて説明する。

【0095】

シリコン基板 1 の主面の素子形成領域 1 n 及び 1 p にゲート電極 6 を形成した後、図 18 に示すように、シリコン基板 1 の主面の素子形成領域 1 p をマスク M1 で選択的に覆った状態で、シリコン基板 1 の主面からその素子形成領域 1 n の内部に、具体的にはゲート電極 6 が形成されていない p 型ウエル領域 4 の部分に、IV 族元素として例えば Ge をイオン注入する。この Ge のイオン注入により、シリコン基板 1 の主面の素子形成領域 1 n に、ゲート電極 6 に整合して非晶質層 7 が形成される。Ge のイオン注入は、この後の n 型 MISFET のエクステンション領域の形成工程における不純物のイオン注入深さよりも浅く行う。

【0096】

次に、図 19 に示すように、前記マスク M1 を使用し、シリコン基板 1 の主面の素子形成領域 1 p をマスク M1 で選択的に覆った状態で、シリコン基板 1 の主面からその素子形成領域 1 n の内部に、具体的にはゲート電極 6 が形成されていない p 型ウエル領域 4 の部分に、不純物として例えば As (砒素) をイオン注入する。この As のイオン注入により、 p シリコン基板 1 の主面の素子形成領域 1 n に、ゲート電極に整合して一対の n 型半導体領域 (エクステンション領域) 8 が形成される。

【0097】

次に、マスク M1 を除去した後、図 20 に示すように、シリコン基板 1 の主面の素子形成領域 1 n をマスク M2 で選択的に覆った状態で、シリコン基板 1 の主面からその素子形成領域 1 p の内部に、具体的にはゲート電極 6 が形成されていない n 型ウエル領域 3 の部分に、IV 族元素として例えば Ge をイオン注入する。この Ge のイオン注入により、シリコン基板 1 の主面の素子形成領域 1 p に、ゲート電極 6 に整合して非晶質層 7 が形成される。Ge のイオン注入は、この後の p 型 MISFET のエクステンション領域の形成工程における不純物のイオン注入深さよりも浅く行う。

【0098】

次に、図 21 に示すように、前記マスク M2 を使用し、シリコン基板 1 の主面の素子形成領域 1 n をマスク M2 で選択的に覆った状態で、シリコン基板 1 の主面からその素子形成領域 1 p の内部に、具体的にはゲート電極 6 が形成されていない n 型ウエル領域 3 の部分に、不純物として例えば BF_2 (二フッ化ボロン) をイオン注入する。この BF_2 のイオン注入により、シリコン基板 1 の素子形成領域 1 p に、ゲート電極 6 に整合して一対の p 型半導体領域 (エクステンション領域) 9 が形成される。

【0099】

この後、前述の実施形態 1 と同様の工程を施して n 型及び p 型 MISFET を形成する。

【0100】

このように、 n 型 MISFET のエクステンション領域の形成工程における不純物のイオン注入工程の前に、シリコン基板 1 の主面の素子形成領域 1 p をマスク M1 で選択的に

10

20

30

40

50

覆った状態で、シリコン基板 1 の主面からその素子形成領域 1 n の内部に Ge を、n 型 MISFET のエクステンション領域の形成工程における不純物の注入深さよりも浅くイオン注入し、p 型 MISFET のエクステンション領域の形成工程における不純物のイオン注入工程の前に、シリコン基板 1 の主面の素子形成領域 1 n をマスク M 2 で選択的に覆った状態で、シリコン基板 1 の主面からその素子形成領域 1 p の内部に Ge を、p 型 MISFET のエクステンション領域の形成工程における不純物の注入深さよりも浅くイオン注入することにより、n 型 MISFET のエクステンション領域の形成工程における不純物のドーズ量及び注入深さに応じて Ge のドーズ量及び注入深さを設定でき、p 型 MISFET のエクステンション領域の形成工程における不純物のドーズ量及び注入深さに応じて Ge のドーズ量及び注入深さを設定できるため、Ge のイオン注入によるエクステンション領域の低抵抗化を n 型及び p 型 MISFET で夫々最適にすることができる。

10

【0101】

また、n 型 MISFET が形成される素子形成領域 1 n への Ge のイオン注入（図 18 参照）と、n 型 MISFET のエクステンション領域の形成工程における不純物のイオン注入（図 19 参照）とを同一のマスク M 1 を用いて行い、p 型 MISFET が形成される素子形成領域 1 p への Ge のイオン注入（図 20 参照）と、p 型 MISFET のエクステンション領域の形成工程における不純物のイオン注入（図 21 参照）とを同一のマスク M 2 を用いて行うことにより、マスクの形成工程を増加することなく、素子形成領域 1 n への Ge イオン注入と素子形成領域 1 p への Ge イオン注入を別々に行うことができるため、製造コストを増加することなく、Ge のイオン注入によるエクステンション領域の低抵抗化を n 型及び p 型 MISFET で夫々最適にすることができる。

20

【0102】

半導体装置の高集積化、低コスト化を実現させるためにはマスク（レチクル）の枚数をいかにして低減させるかが重要な課題となっている。なぜならば、マスク枚数の低減は、マスクそのものの制作コストの低減のみならず、マスクを用いたフォトリソパターン形成のためのフォトリソの塗布、感光、現像及び洗浄・乾燥の一連の処理を削減することができ、半導体装置のプロセスコストを大幅に低減できるからである。そして、更に、異物による不良発生率を低減でき、半導体装置の歩留まり及び信頼性を向上させることが可能となるからである。

【0103】

また、本実施形態では、IV 族元素として例えばゲルマニウム（Ge）を用いているが、これはゲルマニウムが他の IV 族元素のなかで、原子量が大きく、シリコン基板または多結晶シリコン膜に対してプレアモルファス化しやすいからである。例えば、p 型 MISFET で考えた場合、同じ IV 族元素の中でも炭素（C）は、原子半径がボロンとほぼ同じ為、Si-B-IV 族元素という結合が作れない。シリコン（Si）の場合は、シリコン基板または多結晶シリコン膜に対してプレアモルファス化は可能であるが、ゲルマニウムよりも原子量は小さいため、その効果は若干下がる。

30

【0104】

また、ゲルマニウム（Ge）を用いる上でのメリットとして、イオン注入を行う際にガスソースとして用いることが出来るという点が挙げられる。他の IV 族元素のうちアンチモン（Sn）および鉛（Pb）は、イオン注入時に固体源を用いることになるため、実用化向きではない。

40

【0105】

以上のことから、本実施形態においては、IV 族元素としてゲルマニウムまたはシリコンを用いることが有効であり、より好ましい形態としてゲルマニウムを用いている。これについては、以降の実施形態 2 ～ 7 についても同様である。

【0106】

（実施形態 2）

図 22 乃至図 24 は、本発明の実施形態 2 である半導体装置の製造工程を示す模式的断面図である。

50

【0107】

本実施形態2では、シリサイド化における高融点金属の凝集の抑制について説明する。

【0108】

前述の実施形態1と同様のプロセスを使用し、図22に示すように、n型及びp型MISFETのコンタクト領域（半導体領域12, 13）まで形成した後、図23に示すように、シリコン基板1の主面からその素子形成領域1n及び1pの内部に、具体的にはコンタクト領域（半導体領域12, 13）に、IV族元素として例えばGeをイオン注入する。このGeのイオン注入により、コンタクト領域には、エクステンション領域の形成工程前にイオン注入されたGeに加えて更にGeが導入されることになる。

【0109】

次に、エクステンション領域（半導体領域8, 9）の形成工程、及びコンタクト領域の形成工程（半導体領域12, 13）においてイオン注入された不純物（As, BF₂）を熱処理によって活性化させる。熱処理は、前述の実施形態1と同様の条件で行う。

【0110】

この工程において、コンタクト領域（半導体領域12, 13）には、エクステンション領域の形成工程前にイオン注入されたGeと、コンタクト領域の形成工程の後にイオン注入されたGeが含まれているため、特にコンタクト領域の表面における不純物の活性化が更に向上し、コンタクト領域中でのシリコンと結合しない未反応の不純物が減少する。

【0111】

次に、前述の実施形態1と同様の方法で、図24に示すように、コンタクト領域（半導体領域12, 13）の表面、並びにゲート電極6の表面にシリサイド層15及び16を形成する。

【0112】

このように、コンタクト領域（12, 13）の形成工程の後であって、コバルト膜14（高融点金属膜）の形成工程の前に、シリコン基板1の主面からその素子形成領域1n及び1pの内部に、IV族元素として例えばGeを更にイオン注入することにより、特にコンタクト領域の表面における未反応の不純物が更に減少するため、シリサイド化反応におけるCoSiの凝集（高融点金属の凝集）を更に抑制することができる。

【0113】

なお、本実施形態2では、2回目のGeイオン注入の後に、不純物を活性化させる熱処理を実施しているが、不純物を活性化させる熱処理は、n型及びp型MISFETのコンタクト領域の形成工程（図5及び図6参照）の後であって、2回目のGeイオン注入（図23参照）の前に行い、更に、2回目のGeイオン注入の後であって、コバルト膜14の形成工程（図12参照）の前に実施しても良い。但し、この場合は、エクステンション領域の接合深さが深くなるため、不純物を活性化させる熱処理は、本実施形態2のように、2回目のGeイオン注入の後であって、コバルト膜14の形成工程の前に実施することが望ましい。

【0114】

また、本実施形態2では、n型及びp型MISFETのコンタクト領域の形成工程（図9及び図10参照）の後に、2回目のGeイオン注入（図23参照）を実施しているが、2回目のGeイオン注入は、サイドウォールスペーサ11の形成工程（図8参照）の後であって、n型及びp型MISFETのコンタクト領域の形成工程の前に実施しても良い。

【0115】

また、本実施形態2では、2回のGeイオン注入により、シリサイド化における高融点金属の凝集を抑制しているが、エクステンション領域の形成工程前のGeイオン注入（図4参照）を実施せず、2回目に行ったGeイオン注入だけでも、シリサイド化における高融点金属の凝集は抑制できる。

【0116】

（実施形態3）

本実施形態では、同一基板に、相補型MISFET及びDRAM（Dynamic Random

10

20

30

40

50

Access Memory) 型のメモリセルを有する半導体装置に本発明を適用した例について説明する。

【0117】

図25は、本実施形態3の半導体装置の概略構成を示す図((a)は相補型MISFETの模式的断面図、(b)はメモリセル選択用MISFETの模式的断面図)であり、

図26は、本実施形態3の半導体装置に搭載されたメモリセルの等価回路図であり、図27は、本実施形態3の半導体装置の製造工程を示す模式的断面図である。図25(a)において、向かって左側の素子形成領域1_nがn型MISFET、右側の素子形成領域1_pがp型MISFETである。

【0118】

図26に示すように、メモリセルM_cは、ワード線WLとデータ線(ビット線)DLとの交差部に配置されている。メモリセルM_cは、1つの情報蓄積用容量素子Cと、これに直列に接続された1つのメモリセル選択用MISFETQ_sとを有する構成になっている。メモリセル選択用MISFETQ_sを構成する一対の半導体領域のうちの何れか一方はデータ線DLと電氣的に接続され、他方は情報蓄積用容量素子Cと電氣的に接続されている。

10

【0119】

本実施形態3のn型及びp型MISFETは、図25(a)に示すように、前述の実施形態1と同様の構成になっている。メモリセル選択用MISFETQ_sは、図25(b)に示すように、シリコン基板1の主面の素子形成領域1_cに形成されている。素子形成領域1_cは素子分離領域2で区画され、素子形成領域1_cにはp型ウェル領域4_aが形成されている。

20

【0120】

メモリセル選択用MISFETQ_sは、主に、チャネル形成領域、ゲート絶縁膜5、ゲート電極6、ソース領域及びドレイン領域を有する構成になっている。ゲート絶縁膜5はシリコン基板1の主面に設けられ、ゲート電極6はシリコン基板1の主面上にゲート絶縁膜5を介在して設けられ、チャネル形成領域はゲート電極6の直下におけるシリコン基板1の表層部に設けられている。ソース領域及びドレイン領域は、チャネル形成領域のチャネル長方向における両側にチャネル形成領域を挟むようにして設けられている。

【0121】

メモリセル選択用MISFETQ_sのソース領域及びドレイン領域は、エクステンション領域である一対のn型半導体領域8_a、及びコンタクト領域である一対のn型半導体領域12_aを有する構成になっている。n型半導体領域8_aはゲート電極6に整合して形成され、n型半導体領域12_aはゲート電極6の側壁に設けられたサイドウォールスペーサ11に整合して形成されている。

30

【0122】

n型及びp型MISFETにおいては、図25(a)に示すように、ゲート電極6及びコンタクト領域(半導体領域12, 13)の表面にシリサイド層(15, 16)が形成されているが、メモリセル選択用MISFETQ_sにおいては、図25(b)に示すように、ゲート電極6及びコンタクト領域(半導体領域12_a)の表面にシリサイド層は形成されていない。また、図示していないが、n型及びp型MISFETにおいては、エクステンション領域(半導体領域8, 9)及びコンタクト領域(半導体領域12, 13)にIV族元素として例えばGeがイオン注入されているが、メモリセル選択用MISFETQ_sにおいては、エクステンション領域及びコンタクト領域にGeはイオン注入されていない。

40

【0123】

このような構造のn型及びp型MISFET、並びにメモリセル選択用MISFETは、ゲート電極6を形成した後、図27に示すように、シリコン基板1の主面の素子形成領域1_cをマスクM5で選択的に覆った状態で、シリコン基板1の主面からその素子形成領域1_n及び1_pにGeをイオン注入し、そして、図示していないが、素子形成領域1_n、1_p及び1_c上を含むシリコン基板1の全面にコバルト膜を形成した後、マスクを用いて

50

素子形成領域 1 c 上のコバルト膜を選択的に除去することによって得られる。

【0124】

メモリセル選択用MISFETQsにおいては、ソース・ドレイン領域として使用される半導体領域と基板との間の接合リーク電流を極力低減したい。従って、高速動作を必要とするMISFETにおいては、前述のn型及びp型MISFETのように、ゲート電極6及びコンタクト領域にシリサイド層が形成され、エクステンション領域及びコンタクト領域にGeがイオン注入された構造とし、接合リーク電流の低減を必要とするMISFETにおいては、前述のメモリセル選択用MISFETQsのように、ゲート電極6及びコンタクト領域にシリサイド層が形成されておらず、エクステンション領域及びコンタクト領域にGeがイオン注入されていない構造とする。これにより、低消費電力化及び高速化が図れる。

【0125】

(実施形態4)

本実施形態では、膜応力によってMISFETのドレイン電流 I_{ds} の増加を狙った例について説明する。

【0126】

図28は、本実施形態4の半導体装置に搭載された相補型MISFETの概略構成を示す模式的断面図であり、図29乃至図33は、本実施形態4の半導体装置の製造工程を示す模式的断面図である。図28において、向かって左側がn型MISFETであり、右側がp型MISFETである。

【0127】

本実施形態4のn型及びp型MISFETは、基本的に前述の実施形態1と同様の構成になっており、以下の構成が異なっている。

【0128】

即ち、n型MISFETのゲート電極6の側壁には、n型MISFETのチャネル形成領域に引っ張り応力を発生させるサイドウォールスペーサ22が設けられ、p型MISFETのゲート電極6の側壁には、p型MISFETのチャネル形成に引っ張り応力を概ね発生させないサイドウォールスペーサ23が設けられている。このサイドウォールスペーサ22及び23は、同一の絶縁膜で形成されているが、サイドウォールスペーサ23においては、チャネル形成領域に引っ張り応力を発生させる膜応力が緩和されている。以下、本実施形態4の半導体装置の製造について、図29及び図33を用いて説明する。

【0129】

前述の実施形態1と同様のプロセスを使用し、n型及びp型MISFETのコンタクト領域(半導体領域8, 9)の形成工程(図5及び図6参照)まで実施した後、図29に示すように、素子形成領域1n及び1p上を含むシリコン基板1の主面上の全面に、シリコン基板1の主面に応力を発生させる絶縁膜として例えば窒化シリコン膜21をプラズマCVD法で形成する。この窒化シリコン膜21は、その形成条件(反応ガス、圧力、温度、高周波電力等)を変えることで、シリコン基板1の主面に発生させる応力を制御することが可能である。本実施形態では、成膜時の高周波電力を350~400Wと低電力化して、シリコン基板1の主面に引っ張り応力が発生するように窒化シリコン膜21を形成する。

【0130】

次に、窒化シリコン膜21にRIE等の異方性エッチングを施して、図30に示すように、素子形成領域1n及び1p上のゲート電極6の側壁にサイドウォールスペーサ(22, 23)を形成する。サイドウォールスペーサ(22, 23)の形成においては、ゲート長方向に沿うサイドウォールスペーサの膜厚が例えば50~70[nm]程度となるように、窒化シリコン膜21の膜厚及びエッチング時間を設定する。この工程において、サイドウォールスペーサ22及び23は、シリコン基板1の主面に引っ張り応力を発生させる窒化シリコン膜21をエッチングすることによって形成されるため、サイドウォールスペーサ22及び23は、共にゲート電極6下のチャネル形成領域に引っ張り応力を発生させ

る膜応力を持つ。

【0131】

次に、図31に示すように、シリコン基板1の主面の素子形成領域1pをマスクM3で選択的に覆った状態で、シリコン基板1の主面からその素子形成領域1nの内部に、具体的にはゲート電極6が形成されていないp型ウェル領域4の部分に、不純物として例えばAsをイオン注入する。このAsのイオン注入により、シリコン基板1の素子形成領域1nに、サイドウォールスペーサ22に整合して一対のn型半導体領域（コンタクト領域）12が形成される。本実施形態において、Asのイオン注入は、前述の実施形態1と同様の条件で行う。

【0132】

次に、マスクM3を除去した後、図32に示すように、シリコン基板1の主面の素子形成領域1nをマスクM4で選択的に覆った状態で、シリコン基板1の主面からその素子形成領域1pの内部に、具体的にはゲート電極6が形成されていないn型ウェル領域3の部分に不純物として例えばBF₂（二フッ化ボロン）をイオン注入する。このBF₂のイオン注入により、シリコン基板1の素子形成領域に、サイドウォールスペーサ23に整合して一対のp型半導体領域（コンタクト領域）13が形成される。本実施形態において、BF₂のイオン注入は、前述の実施形態1と同様の条件で行う。

【0133】

次に、マスクM4を使用し、図33に示すように、シリコン基板1の主面の素子形成領域1nをマスクM4で選択的に覆った状態で、素子形成領域1p上のサイドウォールスペーサ23にIV族元素として例えばGeをイオン注入して、サイドウォールスペーサ23中の結晶性を破壊する。この工程において、サイドウォールスペーサ23の膜応力が緩和されるため、サイドウォールスペーサ23の膜応力によってp型MISFETのチャネル形成領域に発生する、ゲート長方向（ドレイン電流方向）の引っ張り応力を緩和、若しくは無くすることができる。

【0134】

また、この工程において、p型MISFETのコンタクト領域にもGeがイオン注入されるため、Geの濃度がn型MISFETのコンタクト領域よりもp型MISFETのコンタクト領域の方が高くなる。

【0135】

次に、エクステンション領域（半導体領域8，9）の形成工程、及びコンタクト領域の形成工程（半導体領域12，13）においてイオン注入された不純物（As，BF₂）を熱処理によって活性化させる。熱処理は、前述の実施形態1と同様の条件で行う。

【0136】

この工程において、p型MISFETのコンタクト領域（半導体領域13）には、エクステンション領域の形成工程（図4参照）の前にイオン注入されたGeと、サイドウォールスペーサ23の結晶性を破壊する工程（図33参照）においてイオン注入されたGeが含まれているため、p型MISFETのコンタクト領域における不純物の活性化が更に向上し、コンタクト領域中でのシリコンと結合しない未反応の不純物が減少する。

【0137】

次に、前述の実施形態1と同様の方法で、図24に示すように、コンタクト領域（半導体領域12，13）の表面、並びにゲート電極6の表面にシリサイド層15及び16を形成する。

【0138】

このように、シリコン基板1の主面の素子形成領域1nに形成されたゲート電極6、並びにシリコン基板1の主面の素子形成領域1pに形成されたゲート電極6を覆うようにして、シリコン基板1の主面に引っ張り応力を発生させる窒化シリコン膜21を形成し、その後、窒化シリコン膜21に異方性エッチングを施して、素子形成領域1n上におけるゲート電極6の側壁にサイドウォールスペーサ22、素子形成領域1p上におけるゲート電極6の側壁にサイドウォールスペーサ23を形成し、その後、シリコン基板1の主面の素

10

20

30

40

50

子形成領域 1 n をマスクした状態で、サイドウォールスペーサ 2 3 に Ge をイオン注入して、サイドウォールスペーサ 2 3 の結晶性を破壊することにより、サイドウォールスペーサ 2 3 の膜応力が緩和されるため、サイドウォールスペーサ 2 3 の膜応力によって p 型 MISFET のチャネル形成領域に発生する、ゲート長方向（ドレイン電流方向）の引っ張り応力を緩和、若しくは無くすることができる。この結果、サイドウォールスペーサ 2 2 の膜応力によって n 型 MISFET のドレイン電流の増加を図ることができると共に、p 型 MISFET のドレイン電流の減少を抑制することができる。

【0139】

また、サイドウォールスペーサ 2 3 の結晶性を破壊する工程（図 3 3 参照）において、p 型 MISFET のコンタクト領域にも Ge がイオン注入されることから、不純物を活性化させる熱処理工程において p 型 MISFET のコンタクト領域における不純物の活性化が更に向上し、コンタクト領域中でのシリコンと結合しない未反応の不純物が減少するため、シリサイド化反応における CoSi の凝集（高融点金属の凝集）を更に抑制することができる。

【0140】

また、p 型 MISFET のコンタクト領域の形成工程（図 3 2 参照）における不純物のイオン注入と、サイドウォールスペーサ 2 3 の結晶性を破壊する工程（図 3 3 参照）における Ge のイオン注入とを同一のマスク M 4 を用いて行うことにより、マスクの形成工程を増加することなく、サイドウォールスペーサ 2 2 の膜応力によって n 型 MISFET のドレイン電流の増加を図ることができると共に、p 型 MISFET のドレイン電流の減少を抑制することができるため、製造工程数を簡略化できる。

【0141】

また、本実施形態 4 のように、Ge のイオン注入による MISFET のエクステンション領域の低抵抗化と、Ge のイオン注入によるサイドウォールスペーサ 2 3 の膜応力の緩和を組み合わせることにより、n 型及び p 型 MISFET の両方のドレイン電流の増加を図ることができる。

【0142】

なお、本実施形態 4 では、サイドウォールスペーサ 2 3 に Ge をイオン注入してサイドウォールスペーサ 2 3 中の結晶性を破壊する工程（図 3 3 参照）を、p 型 MISFET のコンタクト領域の形成工程（図 3 2 参照）の後に実施した例について説明したが、サイドウォールスペーサ 2 3 中の結晶性を破壊する工程は、サイドウォールスペーサ（2 2, 2 3）の形成工程の後であって、シリサイド層を形成するための高融点金属膜（本実施形態ではコバルト膜 1 4）の形成工程（図 1 2 参照）の前に実施しても良い。

【0143】

また、本実施形態 4 では、Ge のイオン注入による MISFET のエクステンション領域の低抵抗化と、Ge のイオン注入によるサイドウォールスペーサ 2 3 の膜応力の緩和を組み合わせた例について説明したが、Ge のイオン注入によるサイドウォールスペーサ 2 3 の膜応力の緩和については単独で実施しても良い。

【0144】

（実施形態 5）

前述の実施形態 4 では、膜応力によって n 型 MISFET のドレイン電流の増加を図る例について説明したが、本実施形態 5 では、膜応力によって p 型 MISFET のドレイン電流の増加を図る例について説明する。

【0145】

図 3 4 乃至図 3 8 は、本実施形態 5 の半導体装置の製造工程を示す模式的断面図である。

【0146】

前述の実施形態 1 と同様のプロセスを使用し、n 型及び p 型 MISFET のコンタクト領域（半導体領域 8, 9）の形成工程（図 5 及び図 6 参照）まで実施した後、図 3 4 に示すように、素子形成領域 1 n 及び 1 p 上を含むシリコン基板 1 の主面上の全面に、シリコ

10

20

30

40

50

ン基板 1 の主面に応力を発生させる絶縁膜として例えば窒化シリコン膜 2 4 をプラズマ CVD 法で形成する。この窒化シリコン膜 2 4 は、その形成条件（反応ガス、圧力、温度、高周波電力等）を変えることで、シリコン基板 1 の主面に発生させる応力を制御することが可能である。本実施形態では、成膜時の高周波電力を 600 ～ 700 W と高電力化して、シリコン基板 1 の主面に圧縮応力が発生するように窒化シリコン膜 2 4 を形成する。

【0147】

次に、窒化シリコン膜 2 4 に RIE 等の異方性エッチングを施して、図 3 5 に示すように、素子形成領域 1 n 及び 1 p 上のゲート電極 6 の側壁にサイドウォールスペーサ（2 5, 2 6）を形成する。サイドウォールスペーサ（2 5, 2 6）の形成においては、ゲート長方向に沿うサイドウォールスペーサの膜厚が例えば 50 ～ 70 [nm] 程度となるように、窒化シリコン膜 2 4 の膜厚及びエッチング時間を設定する。この工程において、サイドウォールスペーサ 2 5 及び 2 6 は、シリコン基板 1 の主面に圧縮応力を発生させる窒化シリコン膜 2 1 をエッチングすることによって形成されるため、サイドウォールスペーサ 2 5 及び 2 6 は、共にゲート電極 6 下のチャンネル形成領域に圧縮応力を発生させる膜応力を持つ。

10

【0148】

次に、図 3 6 に示すように、シリコン基板 1 の主面の素子形成領域 1 p をマスク M 3 で選択的に覆った状態で、シリコン基板 1 の主面からその素子形成領域 1 n の内部に、具体的にはゲート電極 6 が形成されていない p 型ウエル領域 4 の部分に、不純物として例えば As をイオン注入する。この As のイオン注入により、シリコン基板 1 の素子形成領域 1 n に、サイドウォールスペーサ 2 2 に整合して一対の n 型半導体領域（コンタクト領域）1 2 が形成される。本実施形態において、As のイオン注入は、前述の実施形態 1 と同様の条件で行う。

20

【0149】

次に、マスク M 3 を使用し、図 3 7 に示すように、シリコン基板 1 の主面の素子形成領域 1 p をマスク M 3 で選択的に覆った状態で、素子形成領域 1 n 上のサイドウォールスペーサ 2 5 に IV 族元素として例えば Ge をイオン注入して、サイドウォールスペーサ 2 5 中の結晶性を破壊する。この工程において、サイドウォールスペーサ 2 5 の膜応力が緩和されるため、サイドウォールスペーサ 2 5 の膜応力によって n 型 MISFET のチャンネル形成領域に発生する、ゲート長方向（ドレイン電流方向）の圧縮応力を緩和、若しくは無く

30

【0150】

また、この工程において、n 型 MISFET のコンタクト領域にも Ge がイオン注入されるため、Ge の濃度が p 型 MISFET のコンタクト領域よりも n 型 MISFET のコンタクト領域の方が高くなる。

【0151】

次に、マスク M 3 を除去した後、図 3 8 に示すように、シリコン基板 1 の主面の素子形成領域 1 n をマスク M 4 で選択的に覆った状態で、シリコン基板 1 の主面からその素子形成領域 1 p の内部に、具体的にはゲート電極 6 が形成されていない n 型ウエル領域 3 の部分に不純物として例えば BF₂（二フッ化ボロン）をイオン注入する。この BF₂ のイオン注入により、シリコン基板 1 の素子形成領域に、サイドウォールスペーサ 2 3 に整合して一対の p 型半導体領域（コンタクト領域）1 3 が形成される。本実施形態において、BF₂ のイオン注入は、前述の実施形態 1 と同様の条件で行う。

40

【0152】

次に、エクステンション領域（半導体領域 8, 9）の形成工程、及びコンタクト領域の形成工程（半導体領域 1 2, 1 3）においてイオン注入された不純物（As, BF₂）を熱処理によって活性化させる。熱処理は、前述の実施形態 1 と同様の条件で行う。

【0153】

この工程において、p 型 MISFET のコンタクト領域（半導体領域 1 2）には、エクステンション領域の形成工程（図 4 参照）の前にイオン注入された Ge と、サイドウォ

50

ールスペーサ 25 の結晶性を破壊する工程（図 37 参照）においてイオン注入された Ge が含まれているため、n 型 MISFET のコンタクト領域における不純物の活性化が更に向上し、コンタクト領域中でのシリコンと結合しない未反応の不純物が減少する。

【0154】

次に、前述の実施形態 1 と同様の方法で、図 24 に示すように、コンタクト領域（半導体領域 12, 13）の表面、並びにゲート電極 6 の表面にシリサイド層 15 及び 16 を形成する。

【0155】

このように、シリコン基板 1 の主面の素子形成領域 1n に形成されたゲート電極 6、並びにシリコン基板 1 の主面の素子形成領域 1p に形成されたゲート電極 6 を覆うようにして、シリコン基板 1 の主面に圧縮応力を発生させる窒化シリコン膜 24 を形成し、その後、窒化シリコン膜 24 に異方性エッチングを施して、素子形成領域 1n 上におけるゲート電極 6 の側壁にサイドウォールスペーサ 25、素子形成領域 1p 上におけるゲート電極 6 の側壁にサイドウォールスペーサ 26 を形成し、その後、シリコン基板 1 の主面の素子形成領域 1p をマスクした状態で、サイドウォールスペーサ 25 に Ge をイオン注入して、サイドウォールスペーサ 25 の結晶性を破壊することにより、サイドウォールスペーサ 25 の膜応力が緩和されるため、サイドウォールスペーサ 25 の膜応力によって n 型 MISFET のチャネル形成領域に発生する、ゲート長方向（ドレイン電流方向）の圧縮応力を緩和、若しくは無くすることができる。この結果、サイドウォールスペーサ 26 の膜応力によって p 型 MISFET のドレイン電流の増加を図ることができると共に、n 型 MISFET のドレイン電流の減少を抑制することができる。

【0156】

また、サイドウォールスペーサ 25 の結晶性を破壊する工程（図 37 参照）において、n 型 MISFET のコンタクト領域にも Ge がイオン注入されることから、不純物を活性化させる熱処理工程において n 型 MISFET のコンタクト領域における不純物の活性化が更に向上し、コンタクト領域中でのシリコンと結合しない未反応の不純物が減少するため、シリサイド化反応における Co の凝集（高融点金属の凝集）を更に抑制することができる。

【0157】

また、n 型 MISFET のコンタクト領域の形成工程（図 36 参照）における不純物のイオン注入と、サイドウォールスペーサ 25 の結晶性を破壊する工程（図 37 参照）における Ge のイオン注入とを同一のマスク M3 を用いて行うことにより、マスクの形成工程を増加することなく、サイドウォールスペーサ 26 の膜応力によって p 型 MISFET のドレイン電流の増加を図ることができると共に、n 型 MISFET のドレイン電流の減少を抑制することができるため、製造工程数を簡略化できる。

【0158】

また、本実施形態 5 のように、Ge のイオン注入による MISFET のエクステンション領域の低抵抗化と、Ge のイオン注入によるサイドウォールスペーサ 23 の膜応力の緩和を組み合わせることにより、n 型及び p 型 MISFET の両方のドレイン電流の増加を図ることができる。

【0159】

なお、本実施形態 5 では、サイドウォールスペーサ 25 に Ge をイオン注入してサイドウォールスペーサ 25 中の結晶性を破壊する工程（図 37 参照）を、n 型 MISFET のコンタクト領域の形成工程（図 36 参照）の後に実施した例について説明したが、サイドウォールスペーサ 25 中の結晶性を破壊する工程は、サイドウォールスペーサ（25, 26）の形成工程の後であって、シリサイド層を形成するための高融点金属膜（本実施形態ではコバルト膜 14）の形成工程（図 12 参照）の前に実施しても良い。

【0160】

また、本実施形態 5 では、Ge のイオン注入による MISFET のエクステンション領域の低抵抗化と、Ge のイオン注入によるサイドウォールスペーサ 25 の膜応力の緩和を

組み合わせた例について説明したが、Geのイオン注入によるサイドウォールスペーサ25の膜応力の緩和については単独で実施しても良い。

【0161】

また、実施形態4及び5では、成膜時の高周波電力を変えて、窒化シリコン膜(21, 24)の膜応力を変える例について説明したが、窒化シリコン膜の膜応力を変える方法としては、下記の方法がある。

〔1〕原料ガスを変える方法として、窒化シリコン膜21の形成には SiH_4 と NH_3 と N_2 を使用し、窒化シリコン膜24の形成には NH_3 を除いて SiH_4 と N_2 を使用する、

〔2〕形成温度を変える方法として、窒化シリコン膜24の形成時よりも、窒化シリコン膜21の形成時の温度を高くする、

〔3〕圧力を変える方法として、窒化シリコン膜24の形成時よりも、窒化シリコン膜21の形成時の圧力を高くする、

などである。

【0162】

(実施形態6)

MISFETのドレイン電流を増加する方法としては、ゲート電極の抵抗を下げ、ゲート空乏化を抑制することも有効である。従来の技術では、ポリシリコン抵抗を下げる為に、As(砒素)、P(リン)、B(ボロン)、 BF_2 (二フッ化ボロン)等の不純物を大量にイオン注入しようとしても、シリコン膜中での注入不純物の活性化が低く、高濃度化しても効果が薄く、ゲート空乏化の影響が強く見られた。また、高濃度化の結果、アウトディフュージョン、ゲート電極の形状異常が発生していた。ゲート空乏化とは、ゲート電極のゲート絶縁膜側の部分が、ゲート電極の高抵抗化に起因してゲート絶縁膜の膜厚が見かけ上厚くなる現象を意味する。従って、シリコン膜中での不純物活性化を高め、ゲート電極全体を高濃度にする必要がある。

【0163】

そこで、本実施形態6では、ゲート空乏化を抑制し、MISFETのドレイン電流 I_{ds} の増加を狙った例について説明する。

【0164】

図39乃至図43は、本実施形態6の半導体装置の製造工程を示す模式的断面図である。

【0165】

前述の実施形態1と同様のプロセスを使用し、シリコン基板1の主面に素子分離領域2、ゲート絶縁膜5等を形成した後、図39に示すように、素子形成領域1n及び1pのゲート絶縁膜5上を含むシリコン基板1の主面上の全面に、半導体膜として例えば導電に寄与する不純物が導入されていないシリコン膜(ゲート材)6aをCVD法で形成する。シリコン膜6aは、例えば100~250[nm]程度の厚さで形成する。この工程において、シリコン膜6aは、多結晶シリコン(ポリシリコン)の状態になっている。

【0166】

次に、抵抗値を低減する不純物をシリコン膜6aに導入する工程の前に、図40に示すように、シリコン膜6aの上方からその内部に、このシリコン膜6aと同族のIV族元素として例えばGe(ゲルマニウム)をイオン注入する。ここで、前述したゲート空乏化の問題を考慮すると、シリコン膜6a全体にSi-Ge-X結合領域を形成するのが望ましい。特に、シリコン膜6aとゲート絶縁膜5の界面付近にSi-Ge-X結合領域を形成する必要がある。しかしながら、Ge濃度のピークをシリコン膜6aの中心よりも深い位置に設定した場合、Geイオンがゲート絶縁膜5にまで到達してしまい、膜中に欠陥などが発生するため、膜質の劣化を招く恐れがある。このため、Geのイオン注入は、シリコン膜6a下のゲート絶縁膜5に損傷を与えないように、シリコン膜6aの膜厚方向において、Geの濃度分布のピーク値が概ね膜の中心(真ん中)もしくはその上層に位置するように行う。

【0167】

10

20

30

40

50

本実施形態6において、Geのイオン注入は、加速エネルギーが40 KeV程度、ドーズ量が $1 \sim 2 \times 10^{15}$ [atoms/cm²]程度もしくはそれ以上の条件で行う。この工程において、シリコン膜6aの中心部付近（真ん中）もしくはその上層部は非結質になる。

【0168】

このとき、シリコン膜6aへのGeイオン注入時の条件は、エクステンション領域（半導体領域8, 9）へのGeイオン注入時の条件と比較して、加速エネルギーを大きく設定している。これは、シリコン膜6aは膜厚が厚いので、エクステンション領域（半導体領域8, 9）よりも深い位置にGeイオンを注入する必要があるからである。仮に、実施の形態1に示す（図4）エクステンション領域（半導体領域8, 9）にGeイオンを注入する際に、同時にゲート電極（シリコン膜6a）へGeイオンを注入しようとしても、加速エネルギーが低い為、シリコン膜6a表面にしかSi-Ge-X結合領域は形成されず、シリコン膜6a全体にSi-Ge-X結合領域を形成することは出来ない。すなわち、シリコン膜6aへのGeイオン注入の加速エネルギーを、エクステンション領域（半導体領域8, 9）へのGeイオン注入の加速エネルギーよりも大きく設定することで、シリコン膜6a表面から深さ方向のGe最大濃度ピーク位置を、エクステンション領域（半導体領域8, 9）表面から深さ方向のGe最大濃度ピーク位置よりも深い位置に設けることができる。これによって、シリコン膜6a全体のSi-Ge-X結合領域をシリコン膜6a全体に形成することができる。このときエクステンション領域はシリコンからなる半導体基板であり、ゲート電極は多結晶シリコン膜からなるので、イオン注入時におけるGe濃度のガウス分布はほぼ同等の値を示している。

10

20

【0169】

また、ドーズ量についても、ゲート電極（シリコン膜6a）の方はGeが分布する膜厚を広くする必要があるのでドーズ量を多く設定する。また、エクステンション領域（半導体領域8, 9）については、この後に注入するAs, BまたはBF₂よりも浅く入れる必要があるので、Geイオンのドーズ量を多くすると、As, BまたはBF₂よりも深い位置にSi-Geが形成され、極浅接合を実現できない。すなわち、シリコン膜6aにGeイオンを注入する場合のドーズ量は、エクステンション領域（半導体領域8, 9）にGeイオンを注入する場合のドーズ量よりも多くなるように設定する。

【0170】

以上のようにゲート電極（シリコン膜6a）へのGeイオンの注入条件を設定することで、不純物活性化を高め、ゲート電極全体を高濃度とすることができるので、上記のゲート空乏化による高抵抗化を防ぐことができる。

30

【0171】

次に、図41に示すように、素子形成領域1p上のシリコン膜6aをマスクM6で選択的に覆った状態で、素子形成領域1n上のシリコン膜6aにその上方から、抵抗値を低減する不純物として例えば磷（P）をイオン注入する。本実施形態6において、Pのイオン注入は、加速エネルギーが10～20 KeV程度、ドーズ量が $2 \sim 8 \times 10^{15}$ [atoms/cm²]程度の条件で行う。マスクM6としては、例えばフォトリソグラフィ技術によって形成されるフォトレジストマスクを使用する。

40

【0172】

次に、マスクM6を除去した後、図42に示すように、素子形成領域1n上のシリコン膜6aをマスクM6で選択的に覆った状態で、素子形成領域1p上のシリコン膜6aにその上方から、抵抗値を低減する不純物として例えばボロン（B）をイオン注入する。本実施形態6において、Bのイオン注入は、加速エネルギーが5～10 KeV程度、ドーズ量が $1 \sim 2 \times 10^{15}$ [atoms/cm²]程度の条件で行う。マスクM7としては、例えばフォトリソグラフィ技術によって形成されるフォトレジストマスクを使用する。

【0173】

次に、マスクM7を除去した後、シリコン膜6aをパターンニングして、図43に示すように、素子形成領域1n及び1pのゲート絶縁膜5上にゲート電極6を形成する。

【0174】

50

次に、ゲート電極 6（シリコン膜 6 a）にイオン注入された不純物（本実施形態 6 では P, B）を熱処理によって活性化させる。熱処理は、例えば、900℃、30秒の条件で行う。

【0175】

この工程において、ゲート電極 6 中の不純物がゲート電極全体に拡散し、ゲート電極 6 の抵抗が下がる。

また、ゲート電極 6（シリコン膜 6 a）には、ゲート電極 6 と同族の IV 族元素である Ge がイオン注入されているため、Si-Ge-X（X: P, B）の結合が形成され、Si-X 単独の場合よりも、ゲート電極 6（シリコン膜 6 a）中での不純物の活性化が向上し、導電に寄与する不純物の濃度が高くなる（Si と結合しない未反応の不純物量が少なくなる）。これにより、ゲート電極 6 の低抵抗化、及びゲート空乏化の抑制を図ることができるため、n 型及び p 型 MISFET のドレイン電流 I_{ds} の増加（電流駆動能力の向上）を図ることができる。

また、Ge のイオン注入によって形成されたゲート電極中の非晶質部分は、元の多結晶に回復する。

【0176】

この後、前述の実施形態 1 と同様の工程を施して n 型及び p 型 MISFET を形成する。

【0177】

なお、シリコン膜 6 a に導入された不純物を熱処理によって活性化させる工程は、シリコン膜 6 a をパターンニングしてゲート電極 6 を形成する工程の前でも良く、また、半導体領域（8, 9, 12, 13）の形成工程において導入された不純物を熱処理によって活性化させる工程と同一工程で行っても良い。

【0178】

また、シリコン膜 6 a 中への Ge のイオン注入は、シリコン膜 6 a の形成工程の後であって、シリコン膜 6 a に導入された不純物を熱処理によって活性化させる工程の前であれば、シリコン膜 6 a に抵抗値を低減する不純物をイオン注入する工程の後でも良く、また、シリコン膜 6 a をパターンニングしてゲート電極を形成する工程の後でも良い。

【0179】

（実施形態 7）

本実施形態 7 では、Ge イオン注入による MISFET のドレイン電流増加を有効に行う例について説明する。

【0180】

図 44 乃至図 49 は、本実施形態 7 の半導体装置の製造工程を示す模式的断面図である。

【0181】

前述の実施形態 1 と同様のプロセスを使用し、シリコン基板 1 の主面に素子分離領域 2、ゲート絶縁膜 5、ゲート電極 6 等を形成した後、n 型及び p 型 MISFET のエクステンション領域を形成する工程の前に、図 44 に示すように、シリコン基板 1 の主面からその素子形成領域 1 n 及び 1 p の内部に、具体的にはゲート電極 6 が形成されていない p 型ウェル領域 4 及び n 型ウェル領域 3 の部分に、IV 族元素として例えば Ge（ゲルマニウム）をイオン注入する。この Ge のイオン注入により、シリコン基板 1 の主面の素子形成領域 1 n 及び 1 p に、ゲート電極 6 に整合して非晶質層 7 が形成される。Ge のイオン注入は、n 型及び p 型 MISFET のエクステンション領域の形成工程における不純物のイオン注入深さよりも浅く行う。本実施形態 6 において、Ge のイオン注入は、前述の実施形態 1 と同様の条件で行う。

【0182】

次に、図 45 に示すように、シリコン基板 1 の主面の素子形成領域 1 p をマスク M1 で選択的に覆った状態で、シリコン基板 1 の主面からその素子形成領域 1 n の内部に、具体的にはゲート電極 6 が形成されていない p 型ウェル領域 4 の部分に、不純物として例えば

As（砒素）をイオン注入する。このAsのイオン注入により、シリコン基板1の主面の素子形成領域1nに、ゲート電極に整合して一对のn型半導体領域（エクステンション領域）8が形成される。本実施形態6において、Asのイオン注入は、前述の実施形態1と同様の条件で行う。

【0183】

次に、マスクM1を除去し、その後、図46に示すように、シリコン基板1の主面の素子形成領域1nをマスクM2で選択的に覆った状態で、シリコン基板1の主面からその素子形成領域1pの内部に、具体的にはゲート電極6が形成されていないn型ウエル領域3の部分に、不純物として例えばB（ボロン）もしくはBF₂（二フッ化ボロン）をイオン注入する。このBもしくはBF₂のイオン注入により、シリコン基板1の素子形成領域1pに、ゲート電極6に整合して一对のp型半導体領域（エクステンション領域）9が形成される。本実施形態において、Bのイオン注入は、例えば、加速エネルギーが0.2～1 KeV程度、ドーズ量が $1 \times 10^{14} \sim 2 \times 10^{15}$ [atoms/cm²]程度、BF₂のイオン注入は、例えば、加速エネルギーが1～10 KeV程度、ドーズ量が $1 \times 10^{14} \sim 2 \times 10^{15}$ [atoms/cm²]程度条件で行う。

10

【0184】

次に、マスクM2を除去した後、主に、p型半導体領域9の形成工程においてイオン注入されたB（ボロン）もしくはBF₂（二フッ化ボロン）を活性化させる目的で、シリコン基板1に低温の熱処理（アニール）を施す。熱処理は、例えば、温度が700 [℃]程度、加熱時間が60 [秒]程度の条件で行う。

20

【0185】

この工程において、Geのイオン注入によって形成されたシリコン基板1中の非晶質層7は、図47に示すように、元の単結晶に回復する。また、不純物（As、B、BF₂）のイオン注入によって形成されたシリコン基板1中の非晶質部分も完全ではないが元の単結晶に回復する。

【0186】

また、この工程において、予め素子形成領域1n及び1pに、シリコン基板1と同族のIV族元素であるGeが、半導体領域（8、9）の形成工程における不純物（As、B）のイオン注入深さよりも浅くイオン注入されているため、Si-Ge-X（X：As、B）の結合が形成され、Si-X単独の場合よりも、シリコン基板1中での不純物の活性化が向上し、導電に寄与する不純物の濃度が高くなる（Siと結合しない未反応の不純物量が少なくなる）。特にシリコン基板1の表面における不純物濃度を高くすることができる。この結果、n型及びp型MISFETのエクステンション領域（半導体領域8、9）の抵抗、特に表面における抵抗が下がる。

30

【0187】

B（ボロン）もしくはBF₂（二フッ化ボロン）は、低温でも活性化が進むが、拡散は殆ど進まない。低温アニールとこの後の高温短時間アニールを加える事で、BもしくはBF₂の活性化を高温短時間アニールのみと比べて向上させることができる。低温アニール時においては、素子形成領域1nのAsは活性化が進まない為、低温アニール追加による素子形成領域1nへの影響は殆ど無い。

40

【0188】

次に、有機物及び無機物の汚染物質や異物を除去する目的として、シリコン基板1に洗浄を施す。この洗浄工程において、本願発明者は次のような問題があることを見出した。すなわち、従来用いていたアンモニア、及び過酸化水素水を用いたRCA洗浄においては、シリコン基板1上の汚染物質や異物を除去すると共に、エクステンション領域（半導体領域8、9）の表面に形成されたSi-Ge-X結合領域を削り取る恐れがある。特に、洗浄液中のアンモニアの濃度が高い場合に顕著に表れることを見出した。したがって、この工程において、Si-Ge-X結合領域を極力削らずに、汚染物質や異物を除去するために、洗浄液中のアンモニア濃度を薄くしたRCA洗浄液を用いる必要がある。より好ましくは、アンモニア、及び過酸化水素水を用いたRCA洗浄ではなく、硫酸加水、希フッ

50

酸（HF）、及び塩酸加水のアンモニアを含まないSPM洗浄液等を用いて洗浄を行う。

【0189】

本願発明者の検討によると、アンモニアを含むRCA洗浄とアンモニアを含まないSPM洗浄によるSi-Geに対するエッチングレートは、Siに対するエッチングレートに比べて、数十nm/min程度の差となることが判明した。すなわち、RCA洗浄はSPM洗浄よりもSi-Ge-X結合領域を削りやすい。

【0190】

ここで、異物や汚染物質除去という点では、上記のRCA洗浄のほうがSPM洗浄よりも効果が高い。従って、Si-Ge-X結合が形成される前の状態、例えば、実施の形態1の図3に示すようなCMP工程の後等に行う洗浄は、RCA洗浄を用いた方が、その後のゲート絶縁膜5を形成する際に、膜質の良好なゲート絶縁膜を形成できるので、効果的である。これに対して、Geイオン注入後の、Si-Ge-X結合を形成したエクステンション領域（半導体領域8，9）が露出した状態で洗浄を行う時には、上述のように汚染物質や異物を除去すると共に、Si-Ge-X結合領域を削り取る恐れがあるため、上記のRCA洗浄液よりもアンモニア濃度の薄い洗浄液、より好ましくはアンモニアを含まないSPM洗浄液等で洗浄を行う必要がある。

【0191】

次に、前述の実施形態1と同様の方法で、図48に示すように、サイドウォールスペーサ11、コンタクト領域である一対のn型半導体領域12及びp型半導体領域13を形成する。

【0192】

次に、n型半導体領域8の形成工程、p型半導体領域9の形成工程、n型半導体領域12の形成工程、並びにp型半導体領域13の形成工程においてイオン注入された不純物（As，B，BF₂）を熱処理によって活性化させる。熱処理は、前述のエクステンション領域（半導体領域8，9）形成時の低温熱処理よりも、高温短時間の条件で行う。具体的には、前述の実施形態1と同様の条件（温度が1000[℃]、加熱時間が1[秒]）で行う。このようにして前述の低温熱処理（第1熱処理）と高温短時間の熱処理（第2熱処理）を加える事で、BもしくはBF₂の活性化を高温短時間アニールのみと比べて向上させることができる。

【0193】

この後、前述の実施形態1と同様の工程を施してn型及びp型MISFETを形成する。

【0194】

このように、エクステンション領域（半導体領域8，9）の形成工程においてイオン注入された不純物を熱処理によって活性化させた後（図47参照）、シリコン基板1に洗浄を施す工程において、アンモニアの濃度を薄くした洗浄液、特に、硫酸加水、希フッ酸（HF）、及び塩酸加水を用いて行うことにより、エクステンション領域の表面におけるSi-Ge-X結合領域の削れを抑制できるため、Geイオン注入によるMISFETのドレイン電流増加を有効に行うことができる。

【0195】

ここで、洗浄工程は、本実施形態7で説明した工程間だけでなく、様々な工程間において実施されている。従って、Si-G-X結合を形成した後、Si-G-X結合領域が露出する場合や、Si-G-X結合領域上の自然酸化膜等を除去する場合の洗浄においては、アンモニアの濃度を薄くした洗浄液、特に、硫酸加水、希フッ酸（HF）、及び塩酸加水を用いて行うことが望ましい。例えば、前述の実施形態1では、半導体領域（8，9，12，13）の形成工程においてイオン注入された不純物を熱処理によって活性化させる工程（図11参照）の後であって、ゲート電極6及び半導体領域（12，13）の表面上にシリサイド化のための高融点金属膜（例えばCo膜）を形成する工程（図12参照）の前に洗浄工程が実施される。このような工程間の洗浄においても、アンモニアの濃度を薄くした洗浄液、特に、硫酸加水、希フッ酸（HF）、及び塩酸加水を用いて行うことによ

10

20

30

40

50

り、コンタクト領域の表面におけるSi-G-X結合領域の削れを抑制できるため、未反応の不純物に起因する金属・半導体反応（例えばCoSi）の凝集を有効に抑制することができる。

【0196】

また、前述の実施形態1では、エクステンション領域であるn型半導体領域8を形成する工程（図5参照）の後であって、エクステンション領域であるp型半導体領域9を形成する工程の前、及び、エクステンション領域であるp型半導体領域9を形成する工程の後であって、サイドウォールスペーサ11を形成する工程（図7及び図8参照）の前に、洗浄工程が実施される。このような工程間の洗浄においても、アンモニアの濃度を薄くした洗浄液、特に、硫酸加水、希フッ酸（HF）、及び塩酸加水を用いて行うことが望ましい

10

また、このようなRCA洗浄液よりもアンモニアの濃度を薄くした洗浄液、特にSPM洗浄液（硫酸加水、希フッ酸（HF）、及び塩酸加水）を、前述の実施の形態1～6についても適用でき、同様の効果を得ることができる。

【0197】

なお、サイドウォールスペーサ11を形成した後、半導体領域の不純物を熱処理によって活性化させる工程でレーザーアニールを用いる場合は、p型MISFETのエクステンション領域の形成工程でB（ボロン）を用いた方が、BF₂よりも活性化率が高くなる。

【0198】

また、このレーザーアニールを前述の実施の形態1～6についても適用でき、同様の効果を得ることができる。

20

【0199】

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【0200】

【図1】本発明の実施形態1である半導体装置に搭載された相補型MISFETの概略構成を示す模式的断面図である。

【図2】本発明の実施形態1である半導体装置の製造工程を示す模式的断面図である。

30

【図3】図2に続く半導体装置の製造工程を示す模式的断面図である。

【図4】図3に続く半導体装置の製造工程を示す模式的断面図である。

【図5】図4に続く半導体装置の製造工程を示す模式的断面図である。

【図6】図5に続く半導体装置の製造工程を示す模式的断面図である。

【図7】図6に続く半導体装置の製造工程を示す模式的断面図である。

【図8】図7に続く半導体装置の製造工程を示す模式的断面図である。

【図9】図8に続く半導体装置の製造工程を示す模式的断面図である。

【図10】図9に続く半導体装置の製造工程を示す模式的断面図である。

【図11】図10に続く半導体装置の製造工程を示す模式的断面図である。

【図12】図11に続く半導体装置の製造工程を示す模式的断面図である。

40

【図13】図12に続く半導体装置の製造工程を示す模式的断面図である。

【図14】図13に続く半導体装置の製造工程を示す模式的断面図である。

【図15】Geを事前に注入した場合のAsプロファイルとGeを事前に注入しなかった場合のAsプロファイルを示す図である。

【図16】Geを事前に注入した場合のBF₂プロファイルとGeを事前に注入しなかった場合のBF₂プロファイルを示す図である。

【図17】Geを事前に注入した場合のBプロファイルとGeを事前に注入しなかった場合のBプロファイルを示す図である。

【図18】本発明の実施形態1の変形例である半導体装置の製造工程を示す模式的断面図である。

50

【図 1 9】図 1 8 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 2 0】図 1 9 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 2 1】図 2 0 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 2 2】本発明の実施形態 2 である半導体装置の製造工程を示す模式的断面図である。
 【図 2 3】図 2 2 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 2 4】図 2 3 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 2 5】本発明の実施形態 3 である半導体装置の概略構成を示す図（（a）は相補型 M I S F E T の模式的断面図，（b）はメモリセル選択用 M I S F E T の模式的断面図）である。

【図 2 6】本発明の実施形態 3 である半導体装置に搭載されたメモリセルの等価回路図である。 10

【図 2 7】本発明の実施形態 3 である半導体装置の製造工程を示す模式的断面図である。
 【図 2 8】本発明の実施形態 4 である半導体装置に搭載された相補型 M I S F E T の概略構成を示す模式的断面図である。

【図 2 9】本発明の実施形態 4 である半導体装置の製造工程を示す模式的断面図である。
 【図 3 0】図 2 9 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 3 1】図 3 0 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 3 2】図 3 1 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 3 3】図 3 2 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 3 4】本発明の実施形態 5 である半導体装置の製造工程を示す模式的断面図である。 20
 【図 3 5】図 3 4 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 3 6】図 3 5 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 3 7】図 3 6 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 3 8】図 3 7 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 3 9】本発明の実施形態 6 である半導体装置の製造工程を示す模式的断面図である。
 【図 4 0】図 3 9 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 4 1】図 4 0 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 4 2】図 4 1 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 4 3】図 4 2 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 4 4】本発明の実施形態 7 である半導体装置の製造工程を示す模式的断面図である。 30
 【図 4 5】図 4 4 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 4 6】図 4 5 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 4 7】図 4 6 に続く半導体装置の製造工程を示す模式的断面図である。
 【図 4 8】図 4 7 に続く半導体装置の製造工程を示す模式的断面図である。

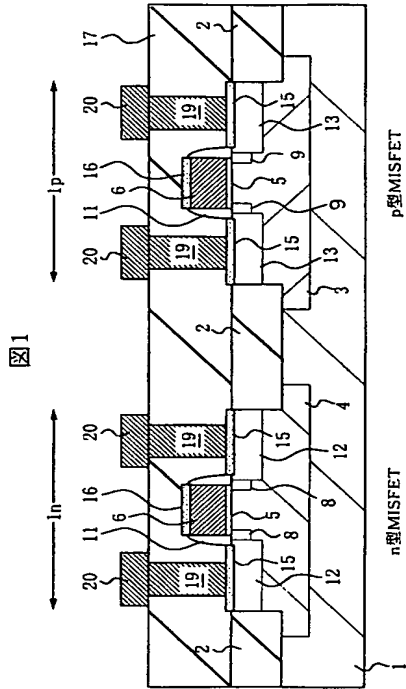
【符号の説明】

【0 2 0 1】

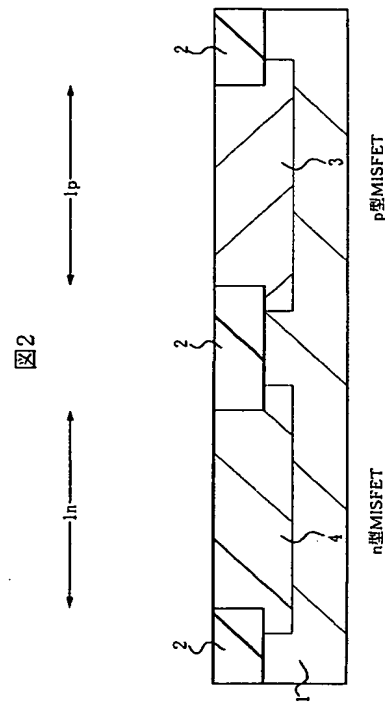
1 … シリコン基板、1 n, 1 m, 1 p … 素子形成領域、2 … 素子分離領域、3 … n 型ウエル領域、4 … p 型ウエル領域、5 … ゲート絶縁膜、6 … ゲート電極、6 a … 半導体膜（ゲート材）、7 … 非晶質層、8 … n 型半導体領域（エクステンション領域）、9 … p 型半導体領域（エクステンション領域）、1 0 … 絶縁膜、1 1 … サイドウォールスペーサ、1 2 … n 型半導体領域（コンタクト領域）、1 3 … p 型半導体領域（コンタクト領域）、1 4 … コバルト膜、1 5, 1 6 … シリサイド層、1 7 … 層間絶縁膜、1 9 … 導電性プラグ、2 0 … 配線、2 1, 2 4 … 窒化シリコン膜、2 2, 2 3, 2 5, 2 6 … サイドウォールスペーサ、

M 1 ~ M 7 … マスク、M c … メモリセル、Q s … メモリセル選択用 M I S F E T、C … 容量素子、W L … ワード線、D L … データ線。

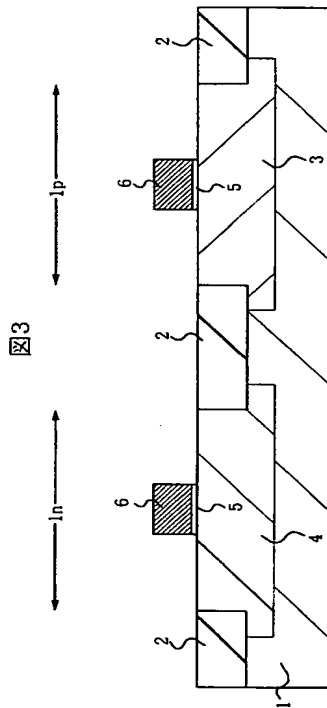
【図 1】



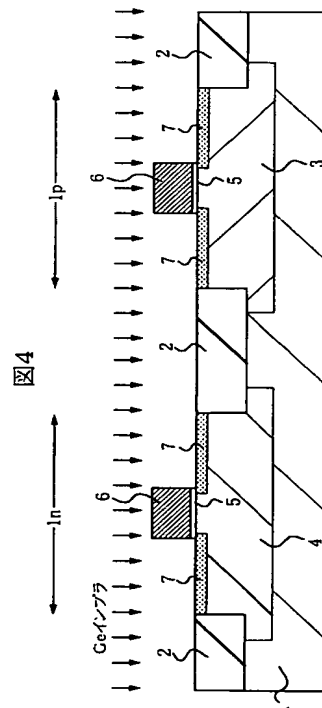
【図 2】



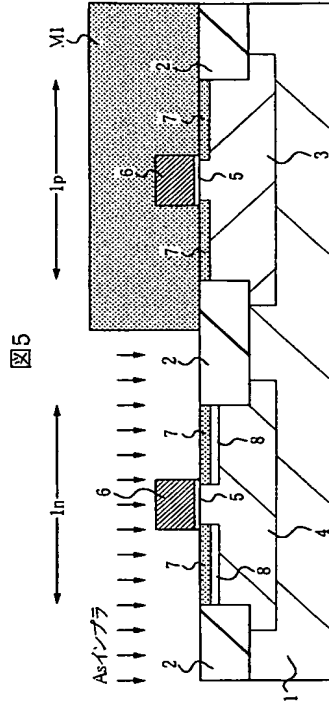
【図 3】



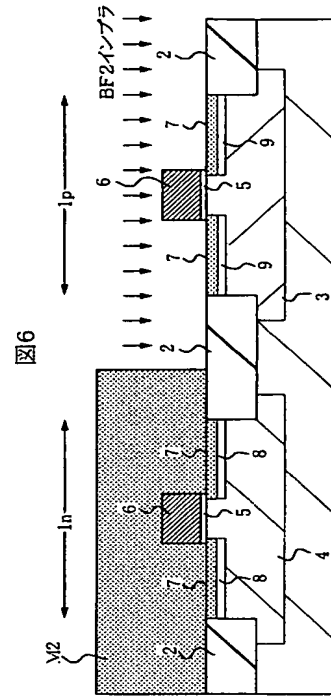
【図 4】



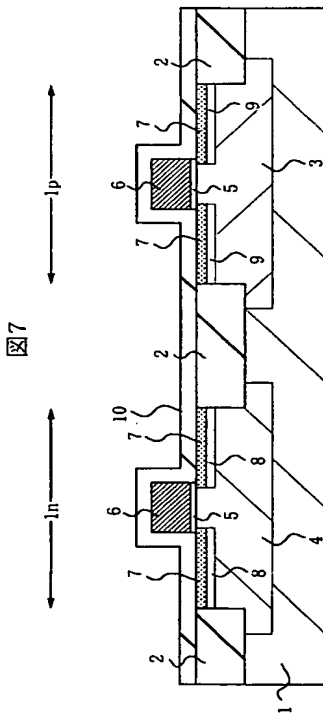
【 図 5 】



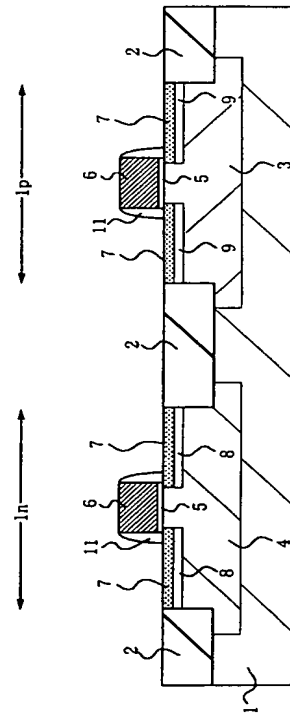
【図 6】



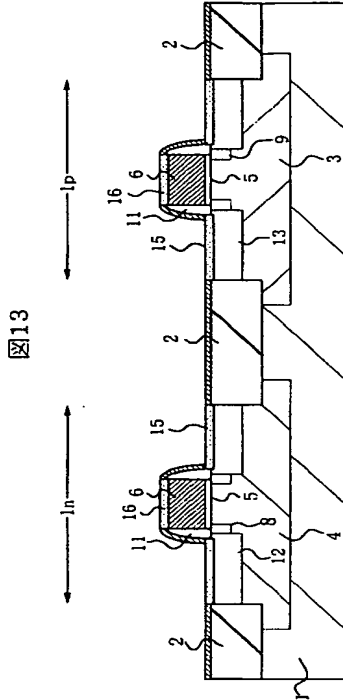
【 図 7 】



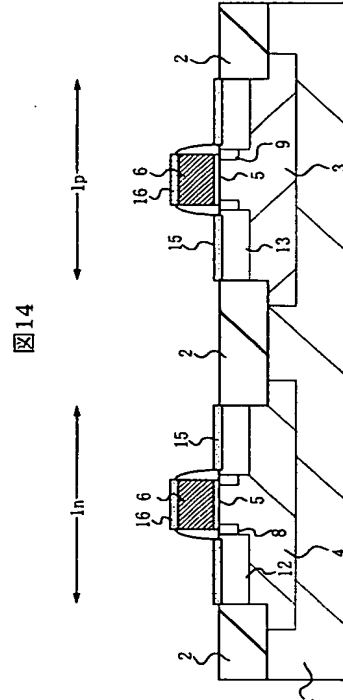
【图 8】



【図13】

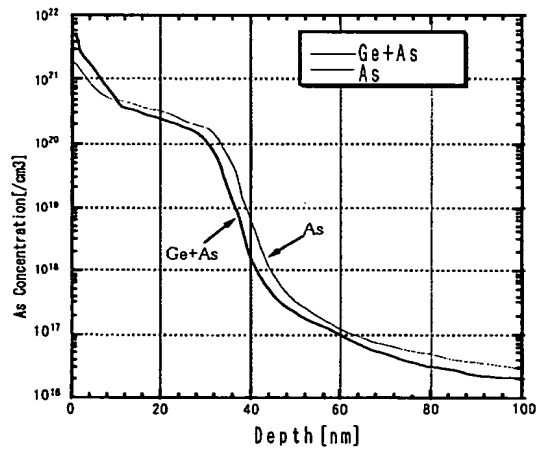


【図14】



【図15】

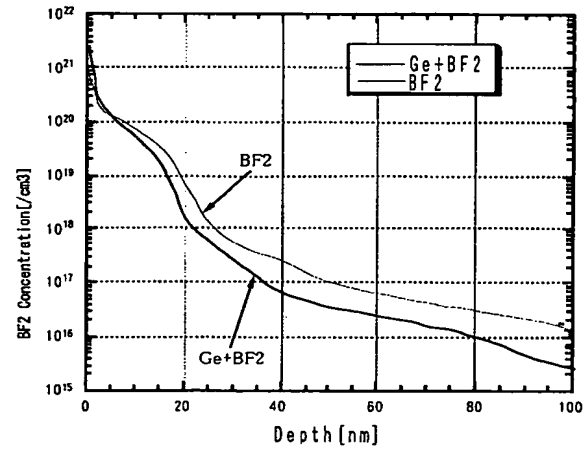
図15



Ge事前注入有無のAsのﾌﾟﾛﾌｧｲﾙの比較

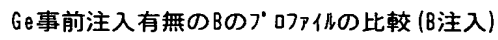
【図16】

図16

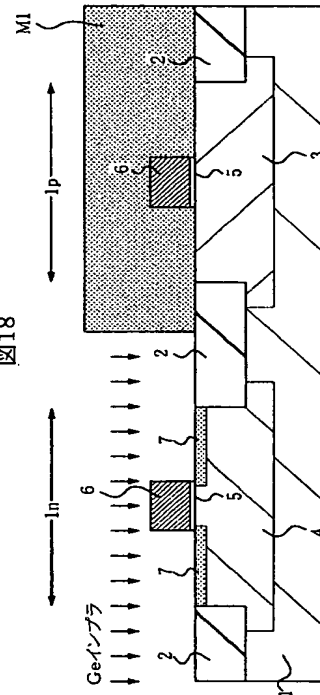


Ge事前注入有無のBのﾌﾟﾛﾌｧｲﾙの比較 (BF2注入)

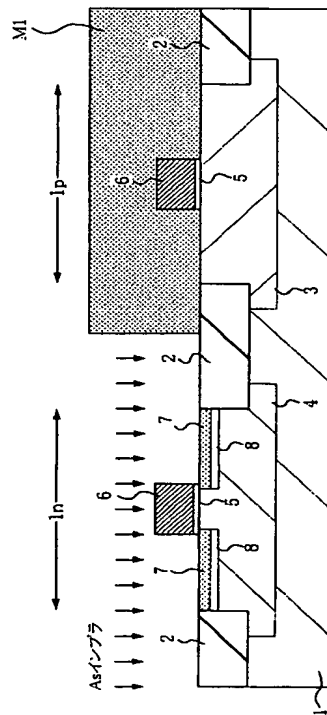
图17



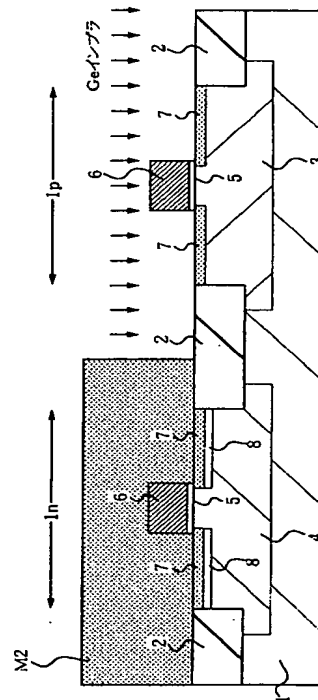
18



19

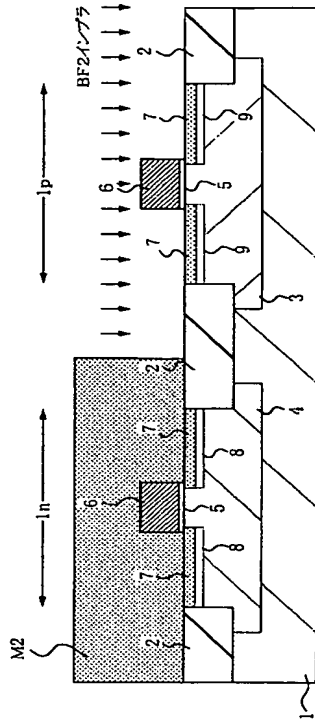


20



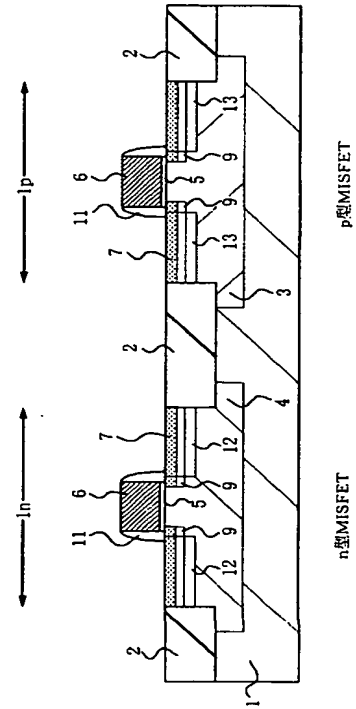
【図 2 1】

図21



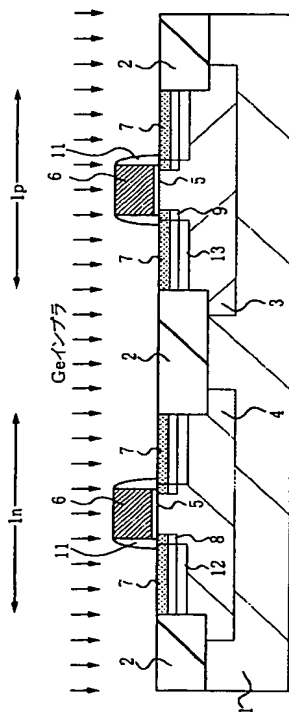
【図 2 2】

図22



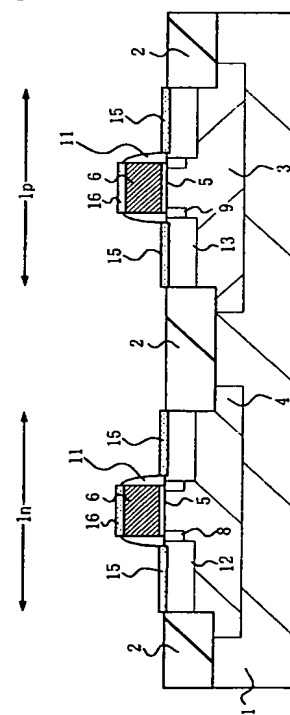
【図 2 3】

図23



【図 2 4】

図24



【図25】

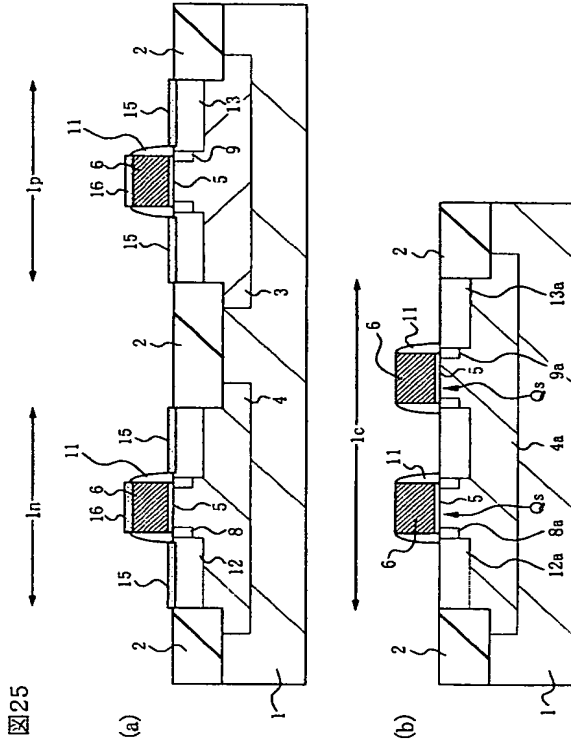


図25

【図26】

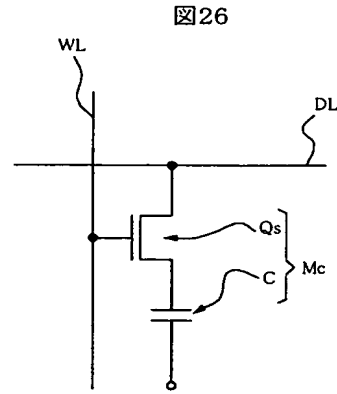


図26

【図27】

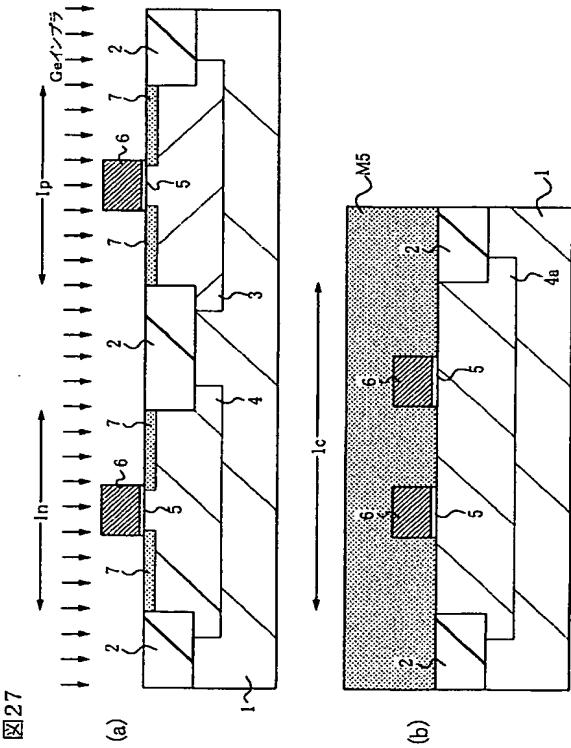


図27

【図28】

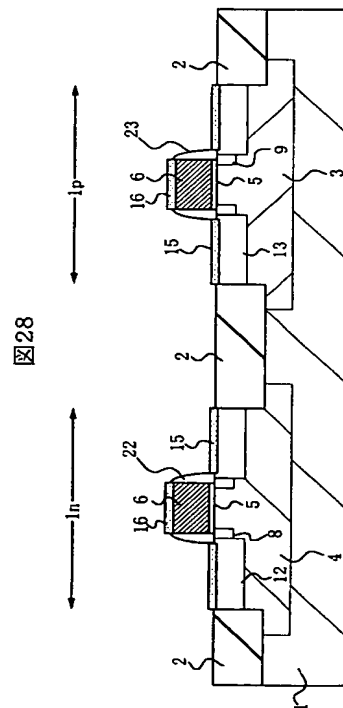
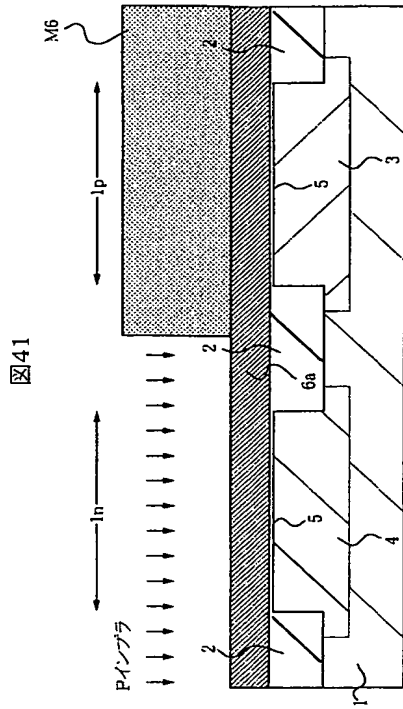
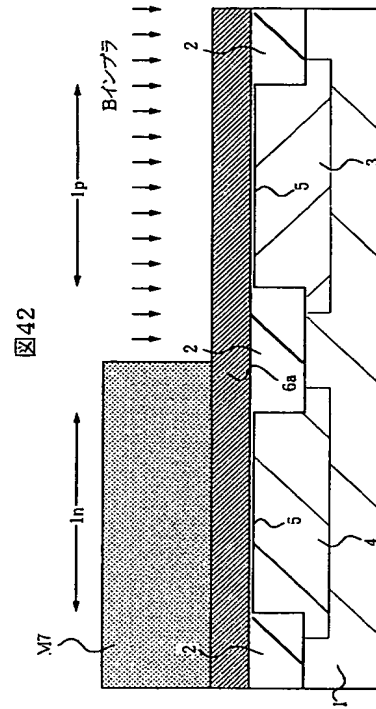


図28

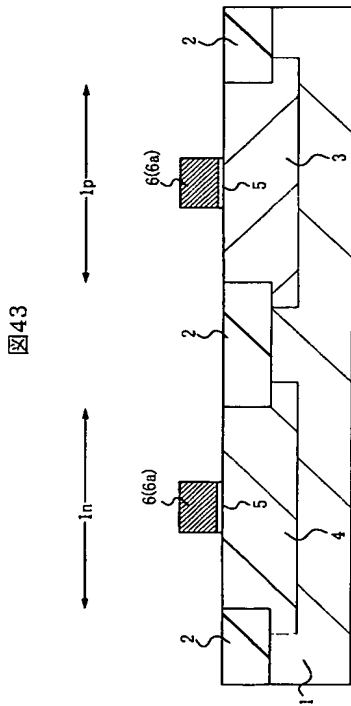
【図 4 1】



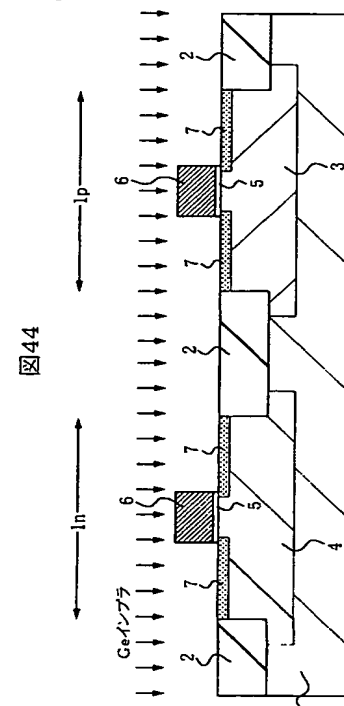
【図 4 2】



【図 4 3】



【図 4 4】



フロントページの続き

(51) Int. Cl.⁷

F I

テーマコード (参考)

H O 1 L 21/8238

H O 1 L 27/08 3 2 1 E

H O 1 L 21/8242

H O 1 L 27/08 3 2 1 F

H O 1 L 27/092

H O 1 L 27/08 3 2 1 K

H O 1 L 27/108

H O 1 L 29/78 3 0 1 G

H O 1 L 21/265 F

H O 1 L 21/265 Q

H O 1 L 21/265 M

F ターム (参考) 4M104 AA01 BB01 BB20 DD78 DD79 DD84 DD91 EE09 EE17 FF14
 GG08 GG16 HH16 HH20
 5F048 AB01 AC01 AC03 AC10 BB06 BB07 BB08 BB12 BC05 BC18
 BC19 BE03 BF06 BF15 BF16 BG13 DA04 DA09 DA21 DA25
 DA27
 5F083 AD01 AD10 GA02 GA06 JA35 JA39 JA53 MA04 MA06 MA17
 MA19 MA20 NA01 PR09 PR29 PR36 PR43 PR44 PR45 PR46
 PR53 PR54 PR55 PR56 ZA05 ZA06
 5F140 AA05 AA08 AA10 AA13 AA40 AB01 AB03 AB09 AC01 AC28
 AC32 BA01 BE07 BF01 BF04 BF11 BF18 BF32 BF34 BF38
 BF60 BG08 BG12 BG14 BG27 BG28 BG30 BG31 BG32 BG34
 BG43 BG44 BG45 BG52 BG53 BH14 BH22 BH42 BH49 BJ08
 BJ11 BJ21 BJ25 BJ27 BK02 BK10 BK13 BK19 BK21 BK22
 BK26 BK29 BK34 BK38 BK39 CB04 CB08 CC03 CC12 CE07
 CF00 CF04 CF05 CF07